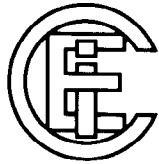


# NORME INTERNATIONALE INTERNATIONAL STANDARD

CEI  
IEC  
822

Première édition  
First edition  
1988



Commission Electrotechnique Internationale  
International Electrotechnical Commission  
Международная Электротехническая Комиссия

**CEI 822 VSB**

**Bus parallèle de sous-système  
du bus CEI 821 VMEbus**

**iTeh STANDARD PREVIEW**  
**(standards.iteh.ai)**

[IEC 822:1988](https://standards.iteh.ai/catalog/standards/sist/3a4bb1fe-3368-4a8f-883b-27f56a6cabcl/iec-822-1988)

<https://standards.iteh.ai/catalog/standards/sist/3a4bb1fe-3368-4a8f-883b-27f56a6cabcl/iec-822-1988>

**IEC 822 VSB**

**Parallel Sub-system Bus of the  
IEC 821 VMEbus**

Publication  
822: 1988

## Révision de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la Commission afin d'assurer qu'il reflète bien l'état actuel de la technique.

Les renseignements relatifs à ce travail de révision, à l'établissement des éditions révisées et aux mises à jour peuvent être obtenus auprès des Comités nationaux de la CEI et en consultant les documents ci-dessous:

- **Bulletin de la CEI**
- **Annuaire de la CEI**
- **Catalogue des publications de la CEI**  
Publié annuellement

## Terminologie

En ce qui concerne la terminologie générale, le lecteur se reportera à la Publication 50 de la CEI: Vocabulaire Electrotechnique International (VEI), qui est établie sous forme de chapitres séparés traitant chacun d'un sujet défini, l'Index général étant publié séparément. Des détails complets sur le VEI peuvent être obtenus sur demande.

Les termes et définitions figurant dans la présente publication ont été soit repris du VEI, soit spécifiquement approuvés aux fins de cette publication.

## Revision of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information on the work of revision, the issue of revised editions and amendment sheets may be obtained from IEC National Committees and from the following IEC sources:

- **IEC Bulletin**
- **IEC Yearbook**
- **Catalogue of IEC Publications**  
Published yearly

## Terminology

For general terminology, readers are referred to IEC Publication 50: International Electrotechnical Vocabulary (IEV), which is issued in the form of separate chapters each dealing with a specific field, the General Index being published as a separate booklet. Full details of the IEV will be supplied on request.

The terms and definitions contained in the present publication have either been taken from the IEV or have been specifically approved for the purpose of this publication.

**iTeh STANDARD PREVIEW**

## Symboles graphiques et littéraux

Pour les symboles graphiques, symboles littéraux et signes d'usage général approuvés par la CEI, le lecteur consultera: IEC 822:1988

- la Publication 27 de la CEI: Symboles littéraux à utiliser en électrotechnique;
- la Publication 617 de la CEI: Symboles graphiques pour schémas.

Les symboles et signes contenus dans la présente publication ont été soit repris des Publications 27 ou 617 de la CEI, soit spécifiquement approuvés aux fins de cette publication.

## Publications de la CEI établies par le même Comité d'Etudes

L'attention du lecteur est attirée sur le deuxième feuillet de la couverture, qui énumère les publications de la CEI préparées par le Comité d'Etudes qui a établi la présente publication.

## (standards.iteh.ai) Graphical and letter symbols

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to:

- IEC Publication 27: Letter symbols to be used in electrical technology;
- IEC Publication 617: Graphical symbols for diagrams.

The symbols and signs contained in the present publication have either been taken from IEC Publications 27 or 617, or have been specifically approved for the purpose of this publication.

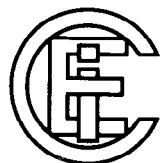
## IEC publications prepared by the same Technical Committee

The attention of readers is drawn to the back cover, which lists IEC publications issued by the Technical Committee which has prepared the present publication.

# NORME INTERNATIONALE INTERNATIONAL STANDARD

CEI  
IEC  
822

Première édition  
First edition  
1988



Commission Electrotechnique Internationale  
International Electrotechnical Commission  
Международная Электротехническая Комиссия

**CEI 822 VSB**

**Bus parallèle de sous-système  
du bus CEI 821 VMEbus**

**iTeh STANDARD PREVIEW**  
**(standards.iteh.ai)**

IEC 822:1988

<https://standards.iteh.ai/catalog/standards/sist/3a4bb1fe-3368-4a8f-883b-27f56a6cabcl/iec-822-1988>

**IEC 822 VSB**

**Parallel Sub-system Bus of the  
IEC 821 VMEbus**

© CEI 1988 Droits de reproduction réservés — Copyright — all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

Bureau Central de la Commission Electrotechnique Internationale 3, rue de Varembe Genève, Suisse

Code prix 66  
Price code

Pour prix, voir catalogue en vigueur  
For price, see current catalogue

SOMMAIRE

	Pages
PREAMBULE .....	14
PREFACE .....	14

CHAPITRE 0: DOMAINE D'APPLICATION

CHAPITRE 1: INTRODUCTION A LA NORME DU BUS CEI 822 VSB

Sections

1.1	Objectifs de la norme CEI 822 VSB, bus parallèle de sous-système du bus CEI 821 VMEbus (désormais référencé VSB) .....	18
1.2	Eléments du système VSB .....	18
1.2.1	Définitions générales .....	18
1.2.1.1	Définition de la structure physique .....	18
1.2.1.2	Définition de la structure fonctionnelle .....	20
1.2.1.3	Types de cycles VSB .....	24
1.3	Diagrammes de la norme VSB .....	30
1.4	Terminologie utilisée dans la norme .....	30
1.4.1	Etats des lignes de signaux .....	32
1.4.2	Utilisation de l'astérisque (*) .....	34
1.5	Spécification du protocole .....	34

IEC 822:1988

<https://standards.iteh.ai/catalog/standards/sist/3a4bb1fe-3368-4a8f-883b-2756a7c4d1fe-822-1988>

CHAPITRE 2: BUS DE TRANSFERT DE DONNEES DU VSB

2.1	Introduction .....	38
2.2	Lignes du bus de transfert de données .....	40
2.2.1	Lignes d'adresse .....	40
2.2.1.1	AD00-AD31 .....	40
2.2.1.2	SPACE0-SPACE1 .....	42
2.2.1.3	SIZE0-SIZE1 .....	42
2.2.1.4	ASACK0*-ASACK1* .....	42
2.2.1.5	GA0-GA2 .....	44
2.2.2	Lignes de données AD00-AD31 .....	44
2.2.3	Lignes de commande .....	44
2.2.3.1	PAS* .....	44
2.2.3.2	AC .....	46
2.2.3.3	WR* .....	46
2.2.3.4	LOCK* .....	46
2.2.3.5	DS* .....	46
2.2.3.6	WAIT* .....	46
2.2.3.7	ACK* .....	48
2.2.3.8	ERR* .....	48
2.2.3.9	IRQ* .....	48
2.2.3.10	CACHE* .....	50
2.3	Modules du DTB - Description générale .....	50
2.3.1	MAITRE .....	52
2.3.2	ESCLAVE .....	54

## CONTENTS

	Page
FOREWORD .....	15
PREFACE .....	15
CHAPTER 0: SCOPE	
CHAPTER 1: INTRODUCTION TO THE IEC 822 VSB BUS STANDARD	
Section	
1.1 Standard objectives of the IEC 822 VSB parallel Subsystem Bus of the IEC 821 VMEbus (Subsystem henceforth referred to as VSB) .....	19
1.2 VSB system elements .....	19
1.2.1 Basic definitions .....	19
1.2.1.1 Physical structure definition .....	19
1.2.1.2 Functional structure definition .....	21
1.2.1.3 Types of VSB cycles .....	25
1.3 VSB standard diagrams .....	31
1.4 Standard terminology .....	31
1.4.1 Signal line states .....	33
1.4.2 Use of the asterisk (*) .....	35
1.5 Protocol specification .....	35
<a href="https://standards.iteh.ai/catalog/standards/sist/3a4bb1fe-3368-4a8f-883b-37566cab175e-822-1988">IEC 822:1988</a> <a href="https://standards.iteh.ai/catalog/standards/sist/3a4bb1fe-3368-4a8f-883b-37566cab175e-822-1988">https://standards.iteh.ai/catalog/standards/sist/3a4bb1fe-3368-4a8f-883b-37566cab175e-822-1988</a>	
CHAPTER 2: VSB DATA TRANSFER BUS	
2.1 Introduction .....	39
2.2 Data Transfer Bus lines .....	41
2.2.1 Addressing lines .....	41
2.2.1.1 AD00-AD31 .....	41
2.2.1.2 SPACE0-SPACE1 .....	43
2.2.1.3 SIZE0-SIZE1 .....	43
2.2.1.4 ASACK0*-ASACK1* .....	43
2.2.1.5 GA0-GA2 .....	45
2.2.2 Data lines AD00-AD31 .....	45
2.2.3 Control lines .....	45
2.2.3.1 PAS* .....	45
2.2.3.2 AC .....	47
2.2.3.3 WR* .....	47
2.2.3.4 LOCK* .....	47
2.2.3.5 DS* .....	47
2.2.3.6 WAIT* .....	47
2.2.3.7 ACK* .....	49
2.2.3.8 ERR* .....	49
2.2.3.9 IRQ* .....	49
2.2.3.10 CACHE* .....	51
2.3 DTB modules - Basic description .....	51
2.3.1 MASTER .....	53
2.3.2 SLAVE .....	55

Sections	Pages
2.4	Possibilités des MAITRES et des ESCLAVES ..... 56
2.4.1	Possibilités d'adressage ..... 60
2.4.1.1	Possibilités de base pour l'adressage ..... 62
2.4.1.2	Possibilité UNIQUEMENT D'ADRESSAGE ..... 64
2.4.2	Possibilités de transfert de données ..... 66
2.4.2.1	Possibilité de base de transfert de données des MAITRES ..... 66
2.4.2.2	Possibilités de base de transferts de données des ESCLAVES .. 68
2.4.2.3	Dimensionnement dynamique du bus ..... 70
2.4.2.4	Possibilité de TRANSFERT UNIQUE ..... 72
2.4.2.5	Possibilité de TRANSFERT PAR BLOC ..... 74
2.4.2.6	Possibilité de TRANSFERT INDIVISIBLE ..... 78
2.4.3	Possibilités d'interruption ..... 82
2.4.3.1	Possibilités d'interruption de base des MAITRES et des ESCLAVES ..... 82
2.4.3.2	Possibilités de cycle de RECONNAISSANCE D'INTERRUPTION ..... 86
2.5	Interaction entre les MAITRES et les ESCLAVES ..... 90
2.5.1	Interaction entre les MAITRES et les ESCLAVES pendant la phase de diffusion d'adresse ..... 92
2.5.1.1	Déroulement de la phase de diffusion d'adresse ..... 92
2.5.1.2	Evolution des signaux pendant la phase de diffusion d'adresse ..... 98
2.5.2	Interaction entre les MAITRES et les ESCLAVES pendant le transfert de données ..... 104
2.5.2.1	Déroulement d'un transfert de données en écriture ..... 106
2.5.2.2	Déroulement d'un transfert de données en lecture ..... 112
2.5.2.3	Evolution des signaux pendant la phase de transfert de données ..... 116
2.5.3	Interaction entre les MAITRES et les ESCLAVES pendant la fin du cycle ..... 124
2.5.3.1	Déroulement de la fin d'un cycle ..... 124
2.5.4	Interaction entre le MAITRE IHV et les ESCLAVES pendant le cycle de RECONNAISSANCE D'INTERRUPTION ..... 126
2.5.4.1	Organigramme d'un cycle de RECONNAISSANCE D'INTERRUPTION .... 128
2.5.4.2	Evolution des signaux pendant le cycle de RECONNAISSANCE D'INTERRUPTION ..... 136
2.6	Spécifications de chronologie du bus de transfert de données ..... 138

CHAPITRE 3: ARBITRAGE DU BUS DE TRANSFERT DE DONNEES DU VSB

3.1	Introduction ..... 188
3.1.1	Types d'arbitrage ..... 190
3.2	Lignes d'arbitrage du bus ..... 190
3.2.1	BREQ* ..... 190
3.2.2	BUSY* ..... 190
3.2.3	BGIN*/BGOUT* ..... 192
3.3	Modules d'arbitrage - Description générale ..... 192
3.3.1	ARBITRE ..... 192
3.3.2	DEMANDEUR ..... 194
3.4	Possibilités du DEMANDEUR ..... 198
3.4.1	Arbitrage série ..... 200
3.4.1.1	Interaction entre l'ARBITRE et les DEMANDEURS SER ..... 202
3.4.1.2	Evolution des signaux pendant l'arbitrage série ..... 208

Section	Page	
2.4	Capabilities of MASTERS and SLAVES .....	57
2.4.1	Addressing capabilities .....	61
2.4.1.1	Basic addressing capabilities .....	63
2.4.1.2	ADDRESS-ONLY capability .....	65
2.4.2	Data transfer capabilities .....	67
2.4.2.1	Basic data transfer capability of MASTERS .....	67
2.4.2.2	Basic data transfer capabilities of SLAVES .....	69
2.4.2.3	Dynamic bus sizing .....	71
2.4.2.4	SINGLE-TRANSFER capability .....	73
2.4.2.5	BLOCK-TRANSFER capability .....	75
2.4.2.6	INDIVISIBLE-ACCESS capability .....	79
2.4.3	Interrupt capability .....	83
2.4.3.1	Basic interrupt capabilities of MASTERS and SLAVES .....	83
2.4.3.2	INTERRUPT-ACKNOWLEDGE cycle capabilities .....	87
2.5	Interaction between MASTERS and SLAVES .....	91
2.5.1	Interaction between MASTERS and SLAVES during address broadcast phase .....	93
2.5.1.1	Flow of the address broadcast phase.....	93
2.5.1.2	Signaling during the address broadcast phase .....	99
2.5.2	Interaction between MASTERS and SLAVES during the data transfer .....	105
2.5.2.1	Flow of a write data transfer .....	107
2.5.2.2	Flow of a read data transfer .....	113
2.5.2.3	Signaling during the data transfer phase .....	117
2.5.3	Interaction between MASTERS and SLAVES during cycle termination .....	125
2.5.3.1	Flow of the termination of a cycle .....	125
2.5.4	Interaction between the IHV MASTER and SLAVES during the INTERRUPT-ACKNOWLEDGE cycles .....	127
2.5.4.1	Flow of an INTERRUPT-ACKNOWLEDGE cycle .....	129
2.5.4.2	Signaling during the INTERRUPT-ACKNOWLEDGE cycle .....	137
2.6	Data transfer bus timing specifications .....	139

### CHAPTER 3: VSB DATA TRANSFER BUS ARBITRATION

3.1	Introduction .....	189
3.1.1	Types of Arbitration .....	191
3.2	Arbitration Bus lines .....	191
3.2.1	BREQ* .....	191
3.2.2	BUSY* .....	191
3.2.3	BGIN*/BGOUT* .....	193
3.3	Arbitration modules - Basic description .....	193
3.3.1	ARBITER .....	193
3.3.2	REQUESTER .....	195
3.4	Capabilities of the REQUESTER .....	199
3.4.1	Serial Arbitration .....	201
3.4.1.1	Interaction between the ARBITER and SER REQUESTERS .....	203
3.4.1.2	Signaling during Serial Arbitration .....	209

Sections	Pages
3.4.2	Possibilités de l'arbitrage parallèle ..... 212
3.4.2.1	Déroulement d'un cycle d'ARBITRAGE ..... 212
3.4.2.2	Evolution des signaux pendant le cycle d'ARBITRAGE ..... 218
3.4.3	Séquence de mise sous tension ..... 220
3.4.3.1	Déroulement d'une séquence de mise sous tension ..... 220
3.4.3.2	Interaction entre les modules du bus d'arbitrage pendant le démarrage ..... 226
3.5	Interaction entre le MAITRE, son DEMANDEUR associé et/ou son ARBITRE associé ..... 228
3.5.1	Acquisition du DTB ..... 228
3.5.2	Libération du DTB ..... 228
3.5.3	Course critique entre les demandes du MAITRE et les allocations de l'ARBITRE ..... 230
3.6	Spécifications de chronologie du bus d'arbitrage ..... 230

CHAPITRE 4: CARACTERISTIQUES ELECTRIQUES DES CARTES VSB

4.1	Introduction ..... 252
4.1.1	Terminologie ..... 252
4.2	Distribution de l'alimentation ..... 256
4.2.1	Caractéristiques de tension courant continu ..... 256
4.2.2	Caractéristiques électriques du connecteur ..... 256
4.3	Spécifications de commande et de réception du bus ..... 256
4.3.1	Généralités ..... 256
4.3.2	REGLES de commande et de charge pour les lignes trois états (AD00-AD31, DS*, PAS*, LOCK*, SIZE0-SIZE1, SPACE0-SPACE1, WR*) ..... 260
4.3.3	REGLES de commande et de charge pour les lignes à collecteur ouvert (AC, ACK*, AD24-AD31, ASACK0*-ASACK1*, BREQ*, BUSY*, CACHE*, ERR*, IRQ*, WAIT*) ..... 264
4.3.4	REGLES de commande et de charge pour BGIN* et BGOUT* ..... 268
4.3.5	REGLES de réception pour les lignes d'adressage géographique (GA0-GA2) ..... 270
4.3.6	Informations supplémentaires ..... 270
4.4	Interconnexion des lignes de signal - Résumé ..... 272

CHAPITRE 5: SPECIFICATIONS DU FOND DE PANIER DU VSB

5.1	Introduction ..... 276
5.2	Caractéristiques physiques du fond de panier ..... 276
5.3	Distribution du courant d'alimentation ..... 280
5.4	Caractéristiques électriques du fond de panier ..... 280
5.4.1	Impédance caractéristique ..... 280
5.4.2	Réseaux d'adaptation ..... 288
5.5	Interconnexion des lignes de signaux ..... 292
5.5.1	Généralités ..... 292
5.5.2	Chaîne série BGIN*/BGOUT* ..... 294
5.5.3	Adressage géographique ..... 294
5.5.4	Informations supplémentaires ..... 296
5.6	Affectation des broches VSB ..... 296
ANNEXE A	..... 300



Section	Page	
3.4.2	Parallel Arbitration capability .....	213
3.4.2.1	Flow of an ARBITRATION cycle .....	213
3.4.2.2	Signaling during the ARBITRATION cycle .....	219
3.4.3	Power-up sequence .....	221
3.4.3.1	Flow of the power-up sequence .....	221
3.4.3.2	Interaction between arbitration bus modules during power-up ..	227
3.5	Interaction between the MASTER, its associated REQUESTER and/or its associated ARBITER .....	229
3.5.1	Acquisition of the DTB .....	229
3.5.2	Release of the DTB .....	229
3.5.3	Race conditions between MASTER requests and ARBITER grants ..	231
3.6	Arbitration bus timing specifications.....	231

#### CHAPTER 4: ELECTRICAL CHARACTERISTICS OF VSB BOARDS

4.1	Introduction .....	253
4.1.1	Terminology .....	253
4.2	Power distribution .....	257
4.2.1	D.C. voltage characteristics .....	257
4.2.2	Connector electrical ratings .....	257
4.3	Bus driving and receiving requirements .....	257
4.3.1	General .....	257
4.3.2	Driving and loading RULES for three-state lines (AD00-AD31, DS*, PAS*, LOCK*, SIZE0-SIZE1, SPACE0-SPACE1, WR*)	261
4.3.3	Driving and loading RULES for open-collector lines (AC, ACK*, AD24-AD31, ASACK0*-ASACK1*, BREQ*, BUSY*, CACHE*, ERR*, IRQ*, WAIT*) .....	265
4.3.4	Driving and loading RULES for BGIN* and BGOUT* .....	269
4.3.5	Receiving RULES for the geographical addressing lines (GA0-GA2) .....	271
4.3.6	Additional information .....	271
4.4	Signal lines interconnection - Summary .....	273

#### CHAPTER 5: VSB BACKPLANE SPECIFICATIONS

5.1	Introduction .....	277
5.2	Backplane physical characteristics .....	277
5.3	Power distribution .....	281
5.4	Backplane electrical characteristics .....	281
5.4.1	Characteristic impedance .....	281
5.4.2	Termination networks .....	289
5.5	Signal line interconnection .....	293
5.5.1	General .....	293
5.5.2	BGIN*/BGOUT* daisy-chain .....	295
5.5.3	Geographical addressing .....	295
5.5.4	Additional information .....	297
5.6	VSB pin assignment .....	297
APPENDIX A	.....	301

Figures	Pages
1-1 Modules fonctionnels et sous-ensembles de bus définis par la norme VSB .....	22
1-2 Notations utilisées dans les chronogrammes .....	36
2-1 Schéma-bloc fonctionnel du bus de transfert de données .....	38
2-2 Schéma-bloc: MAITRE .....	52
2-3 Schéma-bloc: ESCLAVE .....	54
2-4 Organigramme général d'un cycle VSB .....	58
2-5 Organigramme général d'un cycle UNIQUEMENT D'ADRESSAGE .....	64
2-6 Organisation des données .....	66
2-7 Organigramme général d'un cycle de TRANSFERT UNIQUE .....	72
2-8 Organigramme général d'un cycle de TRANSFERT PAR BLOC .....	76
2-9 Organigramme général d'un cycle de RECONNAISSANCE D'INTERRUPTION .....	86
2-10 Organigramme de la phase de diffusion d'adresse .....	96
2-11 Organigramme d'un transfert de données en écriture .....	110
2-12 Organigramme d'un transfert de données en lecture .....	114
2-13 Organigramme de la fin du cycle .....	126
2-14 Organigramme d'un cycle de RECONNAISSANCE D'INTERRUPTION .....	132
2-15 Chronologie des signaux LOCK*, WR*, SIZE0-SIZE1 et SPACE0-SPACE1, d'un MAITRE actif, d'un MAITRE IHV actif et d'un DEMANDEUR PAR actif, pour les cycles de TRANSFERT UNIQUE, TRANSFERT PAR BLOC, RECONNAISSANCE D'INTERRUPTION et ARBITRAGE .....	146
2-16 Chronologie de la diffusion d'adresse du MAITRE actif et des ESCLAVES pour les cycles UNIQUEMENT D'ADRESSAGE, TRANSFERT UNIQUE et TRANSFERT PAR BLOC .....	148
2-17 Fin de cycle du MAITRE actif et des ESCLAVES pour les cycles UNIQUEMENT D'ADRESSAGE .....	150
2-18 Chronologie d'un transfert de données en écriture du MAITRE actif et des ESCLAVES pour les cycles de TRANSFERT UNIQUE et TRANSFERT PAR BLOC .....	152
2-19 Chronologie d'un transfert de données en lecture du MAITRE actif et des ESCLAVES pour les cycles de TRANSFERT UNIQUE, TRANSFERT PAR BLOC et RECONNAISSANCE D'INTERRUPTION .....	156
2-20 Phase de sélection du MAITRE IHV et des ESCLAVES INTV pour les cycles de RECONNAISSANCE D'INTERRUPTION .....	160
2-21 Chronologie des MAITRES et des ESCLAVES entre les cycles .....	162
2-22 Chronologie du transfert de contrôle du DTB .....	164
2-23 Déphasage entre ASACK0* et ASACK1* .....	166
2-24 Déphasage entre ACK* et ERR* .....	166
3-1 Schéma-bloc fonctionnel du bus d'arbitrage .....	188
3-2 Schéma-bloc: ARBITRE .....	194
3-3 Schéma-bloc: DEMANDEUR SER .....	196
3-4 Schéma-bloc: DEMANDEUR PAR .....	198
3-5 Organigramme de l'arbitrage série: deux DEMANDEURS .....	204
3-6 Organigramme général d'un cycle d'ARBITRAGE .....	212
3-7 Organigramme d'un cycle d'ARBITRAGE .....	216
3-8 Organigramme de la séquence de démarrage .....	224
3-9 DEMANDEUR PAR actif, DEMANDEUR PAR concurrent et ESCLAVE au repos: cycle d'ARBITRAGE .....	236
3-10 Chronogramme du démarrage à la mise sous tension .....	238

Figure	Page
1-1 Functional modules and sub-buses defined by the VSB standard ...	23
1-2 Signal timing notation .....	37
2-1 Data Transfer Bus functional block diagram .....	39
2-2 Block diagram: MASTER .....	53
2-3 Block diagram: SLAVE .....	55
2-4 General flow of a VSB cycle .....	59
2-5 General flow of an ADDRESS-ONLY cycle .....	65
2-6 Organization of data .....	67
2-7 General flow of a SINGLE-TRANSFER cycle .....	73
2-8 General flow of a BLOCK-TRANSFER cycle .....	77
2-9 General flow of an INTERRUPT-ACKNOWLEDGE cycle .....	87
2-10 Flow of the address broadcast phase .....	97
2-11 Flow of a write data transfer .....	111
2-12 Flow of a read data transfer .....	115
2-13 Flow of the termination of the cycle .....	127
2-14 Flow of an INTERRUPT-ACKNOWLEDGE cycle .....	133
2-15 Active MASTER, active IHV MASTER and active PAR REQUESTER, LOCK*, WR*, SIZE0-SIZE1 and SPACE0-SPACE1 timing, SINGLE-TRANSFER, BLOCK-TRANSFER, INTERRUPT-ACKNOWLEDGE and ARBITRATION cycles .....	147
<p style="color: red; font-weight: bold; font-size: 1.2em;">STANDARD PREVIEW</p> <p style="color: red; font-weight: bold; font-size: 1.2em;">(standards.iteh.ai)</p>	
2-16 Active MASTER and SLAVES, address broadcast timing, ADDRESS-ONLY, SINGLE-TRANSFER and BLOCK-TRANSFER cycles .....	149
2-17 Active MASTER and SLAVES, cycle termination ADDRESS-ONLY cycles .....	151
2-18 Active MASTER and SLAVES, write data transfer timing, SINGLE-TRANSFER and BLOCK-TRANSFER cycles .....	153
2-19 Active MASTER and SLAVES, read data transfer timing, SINGLE-TRANSFER, BLOCK-TRANSFER and INTERRUPT-ACKNOWLEDGE cycles .....	157
2-20 IHV MASTER and INTV SLAVES, selection phase INTERRUPT- ACKNOWLEDGE cycles .....	161
2-21 MASTERS and SLAVES intercycle timing .....	163
2-22 DTB control transfer timing .....	165
2-23 Skew between ASACK0* and ASACK1* .....	167
2-24 Skew between ACK* and ERR* .....	167
3-1 Arbitration bus functional block diagram .....	189
3-2 Block diagram: ARBITER .....	195
3-3 Block diagram: SER REQUESTER .....	197
3-4 Block diagram: PAR REQUESTER .....	199
3-5 Serial Arbitration flow diagram: two REQUESTERS .....	205
3-6 General flow of an ARBITRATION cycle .....	213
3-7 Flow of an ARBITRATION cycle .....	217
3-8 Flow of the power-up sequence .....	225
3-9 Active PAR REQUESTER, contending PAR REQUESTER and idle SLAVE ARBITRATION cycle .....	237
3-10 Power-up timing .....	239

Figures	Pages
4-1 Niveaux des signaux VSB .....	258
5-1 Dimensions du fond de panier VSB .....	278
5-2 Section transversale du microruban d'une ligne de signal du fond de panier .....	282
5-3 $Z_0$ en fonction de la largeur de piste .....	284
5-4 $C_0$ en fonction de la largeur de piste .....	284
5-5 Adaptation standard du bus .....	290
5-6 Illustration de la chaîne série BGIN*/BGOUT* .....	294
5-7 Circuit résistance/capacité des lignes d'adressage géographique	294
A1 Organigramme de la phase de sélection .....	302
A2 Commande de la phase de sélection; schéma-bloc général .....	304
A3 Un exemple pour la logique de sélection .....	306

Tableaux

2-1 REGLES et AUTORISATIONS qui spécifient l'utilisation des lignes pointillées par les différents types de MAITRES .....	52
2-2 REGLES et AUTORISATIONS qui spécifient l'utilisation des lignes pointillées par les différents types d'ESCLAVES .....	54
2-3 Mnémoniques qui spécifient les possibilités d'adressage .....	62
2-4 Mnémonique qui spécifie la possibilité UNIQUEMENT D'ADRESSAGE ..	64
2-5 Mnémoniques qui spécifient les possibilités de base de transferts de données des ESCLAVES .....	68
2-6 Mnémonique qui spécifie la possibilité de TRANSFERT PAR BLOC ...	78
2-7 Mnémoniques qui spécifient les possibilités d'interruption .....	84
2-8 Mnémoniques qui spécifient les possibilités de transfert de MOT D'ETAT/ID des MAITRES IHV et des ESCLAVES INTV .....	90
2-9 Utilisation de SPACE0 et SPACE1 pour sélectionner l'espace d'adresse .....	98
2-10 Codage de SIZE0 et SIZE1 pour une dimension requise du transfert	100
2-11 Utilisation de AD00 et AD01 pour sélectionner l'emplacement de l'octet d'adresse la plus basse à atteindre .....	100
2-12 Codage de SIZE0, SIZE1, AD00 et AD01 pour définir les emplacements d'octet à atteindre .....	102
2-13 Codage de ASACK0* et ASACK1* pour définir la dimension de l'ESCLAVE .....	104
2-14 Positionnement des données valides sur AD00-AD31 par le MAITRE actif pendant les cycles d'écriture .....	116
2-15 Utilisation de AD00-AD31 par un ESCLAVE D32 pour accéder aux emplacements d'octet .....	118
2-16 Utilisation de AD16-AD31 par un ESCLAVE D16 pour accéder aux emplacements d'octet .....	120
2-17 Utilisation de AD24-AD31 par un ESCLAVE D08 pour accéder aux emplacements d'octet .....	120
2-18 Utilisation de SPACE0, SPACE1 et WR* pour sélectionner un cycle de RECONNAISSANCE D'INTERRUPTION .....	136
2-19 Utilisation des lignes de données par les ESCLAVES INTV D08, D16 et D32 pendant les cycles de RECONNAISSANCE D'INTERRUPTION	138
2-20 Paramètres de temps d'un MAITRE actif, d'un ESCLAVE répondant, d'un ESCLAVE participant et d'un ESCLAVE au repos .....	142
2-21 Paramètres de temps d'un MAITRE IHV, d'un ESCLAVE INTV répondant, d'un ESCLAVE INTV concurrent et d'un ESCLAVE au repos	144
2-22 MAITRE, spécifications de la chronologie .....	168
2-23 ESCLAVE, spécifications de la chronologie .....	178

Figure	Page
4-1 VSB signal levels .....	259
5-1 VSB backplane dimensions .....	279
5-2 Cross-section of a backplane microstrip signal line .....	283
5-3 $Z_0$ versus line width .....	285
5-4 $C_0$ versus line width .....	285
5-5 Standard bus termination .....	291
5-6 BGIN*/BGOUT* daisy-chain illustration .....	295
5-7 Geographical addressing lines resistor/capacitor circuit .....	295
A1 Flow of the selection phase .....	303
A2 Selection phase control; a high level block diagram .....	305
A3 An example for the selection logic .....	307

## Table

2-1 RULES and PERMISSIONS that specify the use of the dotted lines by the various types of MASTERS .....	53
2-2 RULES and PERMISSIONS that specify the use of the dotted lines by the various types of SLAVES .....	55
2-3 Mnemonics that specify addressing capabilities .....	63
2-4 Mnemonic that specifies ADDRESS-ONLY capability .....	65
2-5 Mnemonics that specify the basic data transfer capabilities of SLAVES .....	69
2-6 Mnemonic that specifies BLOCK-TRANSFER capability .....	79
2-7 Mnemonics that specify interrupt capabilities .....	85
2-8 Mnemonics that specify STATUS/ID transfer capabilities of IHV MASTERS and INTV SLAVES .....	91
2-9 Use of SPACE0 and SPACE1 to select the address space .....	99
2-10 Encoding of SIZE0 and SIZE1 for requested size of the transfer ..	101
2-11 Use of AD00 and AD01 to select the lowest addressed byte location to be accessed .....	101
2-12 Encoding of SIZE0, SIZE1, AD00 and AD01 to define the byte locations to be accessed .....	103
2-13 Encoding of ASACK0* and ASACK1* to define the size of the SLAVE ..	105
2-14 Placement of valid data on AD00-AD31 by the active MASTER during write cycles .....	117
2-15 Use of AD00-AD31 by a D32 SLAVE to access byte locations .....	119
2-16 Use of AD16-AD31 by a D16 SLAVE to access byte locations .....	121
2-17 Use of AD24-AD31 by a D08 SLAVE to access byte locations .....	121
2-18 Use of SPACE0, SPACE1 and WR* to select an INTERRUPT-ACKNOWLEDGE cycle .....	137
2-19 Use of the data lines by D08, D16 and D32 INTV SLAVES during INTERRUPT-ACKNOWLEDGE cycles .....	139
2-20 Active MASTER, responding SLAVE, participating SLAVE and idle SLAVE timing parameters .....	143
2-21 IHV MASTER, responding INTV SLAVE, contending INTV SLAVE and idle SLAVE timing parameters .....	145
2-22 MASTER, timing specifications .....	169
2-23 SLAVE, timing specifications .....	179

Tableaux	Pages
3-1 REGLES et AUTORISATIONS spécifiant l'utilisation des lignes pointillées par les différents types de DEMANDEURS SER .....	196
3-2 Mnémoniques utilisés pour décrire les DEMANDEURS .....	200
3-3 Utilisation de SPACE0-SPACE1 et WR* pour sélectionner un cycle d'ARBITRAGE .....	218
3-4 Paramètres de temps d'un DEMANDEUR PAR actif, d'un DEMANDEUR PAR concurrent et d'un ESCLAVE au repos .....	232
3-5 Paramètres de temps à la mise sous tension .....	234
3-6 Spécifications de chronologie du DEMANDEUR actif .....	240
3-7 Spécifications de chronologie des DEMANDEURS concurrents .....	244
3-8 Spécifications de chronologie à la mise sous tension .....	248
4-1 Spécifications de commande et de réception du bus .....	260
4-2 Interconnexion des lignes de signal - Résumé .....	274
5-1 Spécification des tensions du bus .....	280
5-2 Adaptation des lignes de signaux .....	292
5-3 Affectation des emplacements de l'adressage géographique .....	296
5-4 Affectation des broches VSB .....	298

**iTeh STANDARD PREVIEW**  
**(standards.iteh.ai)**

IEC 822:1988

<https://standards.iteh.ai/catalog/standards/sist/3a4bb1fe-3368-4a8f-883b-27f56a6cabcl/iec-822-1988>

Table		Page
3-1	RULES and PERMISSIONS that specify the use of the dotted lines by the various types of SER REQUESTERS .....	197
3-2	Mnemonics that are used to describe REQUESTERS .....	201
3-3	Use of SPACE0-SPACE1 and WR* to select an ARBITRATION cycle ....	219
3-4	Active PAR REQUESTER, contending PAR REQUESTER and idle SLAVE timing parameters .....	233
3-5	Power-up timing parameters .....	235
3-6	Active REQUESTER timing specifications .....	241
3-7	Contending REQUESTER timing specifications .....	245
3-8	Power-up timing specifications .....	249
4-1	Bus driving and receiving requirements .....	261
4-2	Signal line interconnection - Summary .....	275
5-1	Bus voltage specification .....	281
5-2	Signal line termination .....	293
5-3	Geographical addressing slot assignment .....	297
5-4	VSB pin assignment .....	299

**iTeh STANDARD PREVIEW**  
**(standards.iteh.ai)**

IEC 822:1988

<https://standards.iteh.ai/catalog/standards/sist/3a4bb1fe-3368-4a8f-883b-27f56a6cabc1/iec-822-1988>