

NORME
INTERNATIONALE
INTERNATIONAL
STANDARD

CEI
IEC
823

Première édition
First edition
1990-10

**Bus système à microprocesseurs (VMSbus) -
Bus sous-système série du Bus CEI 821
(VMEbus)**

**Microprocessor system bus (VMSbus) -
Serial sub-system bus of the IEC 821 Bus
(VMEbus)**

IEC 823:1990

<https://standards.iteh.ai/catalog/standards/sist/2d257a28-d8b6-4a8d-a5f4-c1ed880bd13f/iec-823-1990>



Numéro de référence
Reference number
CEI/IEC 823: 1990

Révision de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la Commission afin d'assurer qu'il reflète bien l'état actuel de la technique.

Les renseignements relatifs à ce travail de révision, à l'établissement des éditions révisées et aux mises à jour peuvent être obtenus auprès des Comités nationaux de la CEI et en consultant les documents ci-dessous:

- **Bulletin de la CEI**
- **Annuaire de la CEI**
- **Catalogue des publications de la CEI**
Publié annuellement

Terminologie

En ce qui concerne la terminologie générale, le lecteur se reportera à la Publication 50 de la CEI: Vocabulaire Electrotechnique International (VEI), qui est établie sous forme de chapitres séparés traitant chacun d'un sujet défini, l'Index général étant publié séparément. Des détails complets sur le VEI peuvent être obtenus sur demande.

Les termes et définitions figurant dans la présente publication ont été soit repris du VEI, soit spécifiquement approuvés aux fins de cette publication.

Symboles graphiques et littéraux

Pour les symboles graphiques, symboles littéraux et signes d'usage général approuvés par la CEI, le lecteur consultera:

- la Publication 27 de la CEI: Symboles littéraux à utiliser en électrotechnique;
- la Publication 617 de la CEI: Symboles graphiques pour schémas.

Les symboles et signes contenus dans la présente publication ont été soit repris des Publications 27 ou 617 de la CEI, soit spécifiquement approuvés aux fins de cette publication.

Publications de la CEI établies par le même Comité d'Etudes

L'attention du lecteur est attirée sur le deuxième feuillet de la couverture, qui énumère les publications de la CEI préparées par le Comité d'Etudes qui a établi la présente publication.

Revision of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information on the work of revision, the issue of revised editions and amendment sheets may be obtained from IEC National Committees and from the following IEC sources:

- **IEC Bulletin**
- **IEC Yearbook**
- **Catalogue of IEC Publications**
Published yearly

Terminology

For general terminology, readers are referred to IEC Publication 50: International Electrotechnical Vocabulary (IEV), which is issued in the form of separate chapters each dealing with a specific field, the General Index being published as a separate booklet. Full details of the IEV will be supplied on request.

The terms and definitions contained in the present publication have either been taken from the IEV or have been specifically approved for the purpose of this publication.

Graphical and letter symbols

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to:

- IEC Publication 27: Letter symbols to be used in electrical technology;
- IEC Publication 617: Graphical symbols for diagrams.

The symbols and signs contained in the present publication have either been taken from IEC Publications 27 or 617, or have been specifically approved for the purpose of this publication.

IEC publications prepared by the same Technical Committee

The attention of readers is drawn to the back cover, which lists IEC publications issued by the Technical Committee which has prepared the present publication.

NORME
INTERNATIONALE
INTERNATIONAL
STANDARD

CEI
IEC
823

Première édition
First edition
1990-10

**Bus système à microprocesseurs (VMSbus) -
Bus sous-système série du Bus CEI 821
(VMEbus)**

iTeh STANDARD PREVIEW
**Microprocessor system bus (VMSbus) -
Serial sub-system bus of the IEC 821 Bus
(VMEbus)**

IEC 823:1990

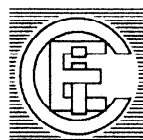
<https://standards.iteh.ai/catalog/standards/sist/2d257a28-d8b6-4a8d-a5f4-c1ed880bd13f/iec-823-1990>

© CEI 1990 Droits de reproduction réservés — Copyright — all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

Bureau Central de la Commission Electrotechnique Internationale 3, rue de Varembe Genève, Suisse



Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE XG

Pour prix, voir catalogue en vigueur
For price, see current catalogue

SOMMAIRE

	Pages
PREAMBULE	14
PREFACE	14

CHAPITRE 0: DOMAINE D'APPLICATION

CHAPITRE 1: INTRODUCTION A LA NORME CEI 823 VMSbus

Sections

1.1 Objectifs du bus série	18
1.1.1 Objectifs de la norme CEI 823 VMSbus	18
1.2 Eléments du système constituant l'interface du bus série	20
1.3 Terminologie relative à la norme du bus série	24
1.4 Organisation de la norme	26
1.5 Relations entre le bus série et un bus parallèle du fond de panier	26

CHAPITRE 2: GENERALITES SUR LE BUS SERIE

2.1 Généralités sur la couche physique	34
2.1.1 Signaux et modules de la couche physique	34
2.1.2 Utilisation des signaux de la couche physique	34
2.2 Généralités sur la couche de liaison de données	38
2.2.1 Modules et interfaces	38
2.2.2 Groupes de modules	42
2.2.3 Protocole de transmission d'une trame	44
2.3 Utilisation du bus série pour transférer des données	46
2.4 Utilisation du bus série pour positionner à un et à zéro des indicateurs	46
2.5 Applications des groupes de modules du bus série	46
2.6 Possibilités d'adressage du bus série	48

CHAPITRE 3: TRAMES ET SOUS-TRAMES DU BUS SERIE

3.1 Types généraux de trames	50
3.2 En-tête	56
3.3 Sous-trame de type de trame	60
3.4 Sous-trame de données	64
3.5 Sous-trame d'état de trame	64
3.6 Sous-trame de détection de désynchronisation	68
3.7 Protocole de resynchronisation	68
3.8 Resynchronisation lors de l'initialisation	72

CONTENTS

	Page
FOREWORD	15
PREFACE	15

CHAPTER 0: SCOPE

CHAPTER 1: INTRODUCTION TO THE IEC 823 VMSbus Standard

Section

1.1 Serial bus objectives	19
1.1.1 IEC 823 VMSbus standard objectives	19
1.2 Serial bus interface system elements	21
1.3 Serial bus standard terminology	25
1.4 Standard organization	27
1.5 Standard relationship of the serial bus and a parallel back-plane bus	27

ITeh STANDARD PREVIEW
(standards.iteh.ai)

CHAPTER 2: SERIAL BUS OVERVIEW

2.1 Overview of the Physical Layer <small>IEC 823:1990 http://standards.iteh.ai/catalog/standards/sist/2d257a28-d8b6-4a8d-a5f4-c1ed880bd13f/iec-823-1990</small>	35
2.1.1 Physical Layer modules and signals	35
2.1.2 Physical Layer signalling	35
2.2 Link Layer overview	39
2.2.1 Modules and interfaces	39
2.2.2 Module groups	43
2.2.3 Frame transmission protocol	45
2.3 Using the serial bus to transfer data	47
2.4 Using the serial bus to set and reset flags	47
2.5 Applications of serial bus module groups	47
2.6 Serial bus addressing capabilities	49

CHAPTER 3: SERIAL BUS FRAMES AND SUBFRAMES

3.1 Basic frame types	51
3.2 The Header	57
3.3 The Frame Type subframe	61
3.4 The Data subframe	65
3.5 The Frame Status subframe	65
3.6 The Jam Detect subframe	69
3.7 Jam protocol	69
3.8 Jam on Reset	73

Sections	Pages
----------	-------

CHAPITRE 4: COUCHE PHYSIQUE

4.1	Module GENERATEUR D'HORLOGE	74
4.1.1	Interface au support physique	74
4.1.2	Interface avec la couche physique et la couche de liaison	78
4.1.3	Fonctionnement	78
4.2	Module d'EXTENSION	78
4.2.1	Interfaces avec les supports physiques	78
4.2.2	Interfaces avec la couche physique et la couche de liaison	82
4.2.3	Fonctionnement	84
4.3	Module d'ACCES AU BUS	86
4.3.1	Interface avec le support physique	86
4.3.2	Interface avec la couche physique	86
4.3.3	Interface de la couche de liaison	92
4.3.4	Fonctionnement	92
4.4	Spécifications électriques	96
4.4.1	Caractéristiques d'entrée du support physique de fond de panier	96
4.4.2	Commande et charge pour SERCLK	98
4.4.3	Commande et charge pour SERDAT*	98
4.4.4	Caractéristiques d'entrée pour le support physique étendu	100
4.4.5	Commande du support physique étendu	100
4.4.6	Charge du support physique étendu	104
4.4.7	Résistance aux contraintes/détériorations du support physique étendu	106

CHAPITRE 5: MODULES DE LA COUCHE DE LIAISON DE DONNEES

5.1	Notations pour les diagrammes d'états	110
5.2	Module EMETTEUR D'EN-TETE	110
5.2.1	Interface avec la couche physique	112
5.2.2	Interface avec la couche de liaison de données	112
5.2.3	Interface avec les couches de niveau supérieur	114
5.2.4	Initialisation	116
5.2.5	Fonctionnement	116
5.3	Module RECEPTEUR D'EN-TETE	122
5.3.1	Interface avec la couche physique	124
5.3.2	Interface avec la couche de liaison de données	124
5.3.3	Interface avec les couches supérieures	124
5.3.4	Initialisation	128
5.3.5	Programmation de l'adresse	128
5.3.6	Fonctionnement	128

CHAPTER 4: THE PHYSICAL LAYER

4.1	CLOCK SOURCE module	75
4.1.1	Medium interface	75
4.1.2	Physical and Link Layer interface	79
4.1.3	Operation	79
4.2	BRIDGE module	79
4.2.1	Media interfaces	79
4.2.2	Physical and Link Layer interfaces	83
4.2.3	Operation	85
4.3	BUS ACCESS module	87
4.3.1	Medium interface	87
4.3.2	Physical Layer interface	87
4.3.3	Link Layer interface	93
4.3.4	Operation	93
4.4	Electrical specifications	97
4.4.1	Input characteristics for the Backplane Medium	97
4.4.2	Driving and loading for SERCLK	99
4.4.3	Driving and loading for SERDAT*	99
4.4.4	Input characteristics for the Extended Medium	101
4.4.5	Driving the Extended Medium	101
4.4.6	Loading on the Extended Medium	105
4.4.7	Stress/damage resistance for the Extended Medium	107

CHAPTER 5: LINK LAYER MODULES

5.1	State diagram notation	111
5.2	HEADER SENDER module	111
5.2.1	Physical Layer interface	113
5.2.2	Link Layer interface	113
5.2.3	Higher Layer interface	115
5.2.4	Initialization	117
5.2.5	Operation	117
5.3	HEADER RECEIVER module	123
5.3.1	Physical Layer interface	125
5.3.2	Link Layer interface	125
5.3.3	Higher Layer interface	125
5.3.4	Initialization	129
5.3.5	Programming the address	129
5.3.6	Operation	129

Sections	Pages
5.4 Module EMETTEUR DE DONNEES	136
5.4.1 Interface avec la couche physique	136
5.4.2 Interface avec la couche de liaison de données	136
5.4.3 Interface avec la couche supérieure	136
5.4.4 Initialisation	140
5.4.5 Programmation du port de données	140
5.4.6 Fonctionnement	143
5.5 Module RECEPTEUR DE DONNEES	150
5.5.1 Interface avec la couche physique	150
5.5.2 Interface avec la couche de liaison de données	150
5.5.3 Interface avec les couches de niveau supérieur	150
5.5.4 Initialisation	154
5.5.5 Lecture des données du port de données	154
5.5.6 Fonctionnement	156
5.6 GESTIONNAIRE DE TRAME	162
5.6.1 Interface avec la couche physique	162
5.6.2 Interface avec la couche de liaison de données	162
5.6.3 Interface avec les couches de niveau supérieur	164
5.6.4 Initialisation	166
5.6.5 Fonctionnement	168

Iteh STANDARD PREVIEW
(standards.iteh.ai)

CHAPITRE 6: GROUPES DE LA COUCHE DE LIAISON DE DONNEES ET PROTOCOLE

IEC 823-1990
<https://standards.iteh.ai/catalog/standards/sist/2d257a28-d8b6-4a8d-a5f4-c1ed880bd13f/iec-823-1990>

6.1 Groupes simples	174
6.1.1 Indicateur simple	174
6.1.2 Gestionnaire de signal virtuel	178
6.1.3 Parleur sur demande	182
6.1.4 Parleur transactionnel	187
6.1.5 Ecouteur sur demande	192
6.1.6 Ecouteur transactionnel	196
6.1.7 Indicateur multiadresse	200
6.1.8 Parleur multiadresse	202
6.1.9 Ecouteur multiadresse	206
6.1.10 Gestionnaire de priorité variable	210
6.2 Groupes composés	214
6.2.1 Gestionnaire d'écriture	214
6.2.2 Gestionnaire de lecture	218
6.2.3 Emetteur-récepteur de bus virtuel	222
6.2.4 Sémaphore	228
6.2.5 Sémaphore à vérification de signature	240
6.2.6 Groupe à passage de jeton	246
6.2.7 Gestionnaire d'écriture avec accusé de réception	252
6.2.8 Ecouteur transactionnel avec accusé de réception	256
6.2.9 Ecouteur transactionnel à verrouillage	260
6.2.10 Parleur transactionnel à verrouillage	266

Section	Page
5.4 DATA SENDER module	137
5.4.1 Physical Layer interface	137
5.4.2 Link Layer interface	137
5.4.3 Higher Layer interface	137
5.4.4 Initialization	141
5.4.5 Programming the Data Port	141
5.4.6 Operation	143
5.5 DATA RECEIVER module	151
5.5.1 Physical Layer interface	151
5.5.2 Link Layer interface	151
5.5.3 Higher Layer interface	151
5.5.4 Initialization	155
5.5.5 Reading data from the Data Port	155
5.5.6 Operation	157
5.6 FRAME MONITOR module	163
5.6.1 Physical Layer interface	163
5.6.2 Link Layer interface	163
5.6.3 Higher Layer interface	165
5.6.4 Initialization	167
5.6.5 Operation	169

(standards.iteh.ai)

CHAPTER 6: LINK LAYER GROUPS AND PROTOCOL

IEC 823:1990

<https://standards.iteh.ai/catalog/standards/sist/2d257a28-d8b6-4a8d-a5f4-c1ed880bd13f/iec-823-1990>

6.1 Simple groups	175
6.1.1 Simple Flag	175
6.1.2 Virtual Signal Controller	179
6.1.3 On-Demand Talker	183
6.1.4 Transaction Talker	187
6.1.5 On-Demand Listener	193
6.1.6 Transaction Listener	197
6.1.7 Multiaddress Flag	201
6.1.8 Multiaddress Talker	203
6.1.9 Multiaddress Listener	207
6.1.10 Variable Priority Controller	211
6.2 Compound groups	215
6.2.1 Writing Controller	215
6.2.2 Reading Controller	219
6.2.3 Virtual Bus Transceiver	223
6.2.4 Semaphore	229
6.2.5 Signature-Checking Semaphore	241
6.2.6 Token Passing Group	247
6.2.7 Handshaking Writing Controller	253
6.2.8 Handshaking Transaction Listener	257
6.2.9 Locking Transaction Listener	261
6.2.10 Locking Transaction Talker	267

Sections	Pages
----------	-------

CHAPITRE 7: SUPPORT PHYSIQUE DE FOND DE PANIER
DU BUS CEI 821 VMEbus

7.1	Spécifications électriques supplémentaires	272
7.1.1	Résistances d'adaptation	272
7.2	Spécifications mécaniques	272
7.3	Paramètres de chronologie	272
7.3.1	Tests de conformité	278

CHAPITRE 8: SUPPORT PHYSIQUE D'EXTENSION

8.1	Spécifications électriques supplémentaires	282
8.1.1	Réseaux d'adaptation	282
8.1.2	La ligne BALANCE	282
8.1.3	Paramètre du câble	286
8.1.4	Filtrage et couplage optoélectrique	286
8.2	Spécifications mécaniques	286
8.2.1	Connecteurs (et affectations des signaux)	288
8.2.1.1	Connecteur D-sub à 9 broches	288
8.2.1.2	Connecteur pour câble plat à 10 broches et connecteur P2/J2	290
8.2.1.3	Mélanges des trois types de connecteurs	294
8.2.2	Longueur des segments de câble	306
8.3	Chronologie du support physique d'extension	306
8.3.1	Taux de transmission en fonction de la longueur	306
8.3.2	Paramètres de chronologie	308
8.3.3	Terminologie pour les signaux du support physique d'extension	316
8.3.4	Tests de conformité	318

Figures

2-1	Présentation en couches et découpage du système de bus série.	30
2-2	Présentation et interfaçage sur une carte typique	32
2-3	Configuration du support physique de fond de panier pour un châssis simple	36
2-4	Carte indépendante sur le support physique étendu	36
3-1	Types généraux de trame	52
4-1	Module GENERATEUR D'HORLOGE	76
4-2	Formes des signaux du bus d'extension	76
4-3	Signaux utilisés par le module d'EXTENSION	80
4-4	Formes des signaux du bus série	80
4-5	Signaux utilisés par le module d'ACCES AU BUS	90

CHAPTER 7: IEC 821 VMEbus BACKPLANE MEDIUM

7.1	Additional electrical specifications	273
7.1.1	Terminating resistors	273
7.2	Mechanical specifications	273
7.3	Timing parameters	273
7.3.1	Testing of compliance	279

CHAPTER 8: EXTENDED MEDIUM

8.1	Additional electrical specifications	283
8.1.1	Termination networks	283
8.1.2	The BALANCE line	283
8.1.3	Cable parameters	287
8.1.4	Filtering and optocoupling	287
8.2	Mechanical specifications	287
8.2.1	Connectors and (signal assignments)	289
8.2.1.1	9-pole D-sub connector	289
8.2.1.2	10-pole flat cable connector and P2/J2 connector	291
8.2.1.3	Mixtures of all three connector types	295
8.2.2	Cable segment length	307
8.3	Extended Medium timing	307
8.3.1	Data rate versus length	307
8.3.2	Timing parameters	309
8.3.3	Terminology for Extended Medium signals	317
8.3.4	Testing of compliance	319

Figures

2-1	Serial bus system structure and layering	31
2-2	Layering and interfacing on a typical board	33
2-3	Single-subrack Backplane Medium configuration	37
2-4	Free-standing board on the Extended Medium	37
3-1	Basic frame types	53
4-1	CLOCK SOURCE module	77
4-2	Extended bus waveforms	77
4-3	Signals used by the BRIDGE module	81
4-4	Serial bus waveforms	81
4-5	Signals used by the BUS ACCESS module	91

Figures	Pages
4-6	Formes des signaux du support physique de fond de panier .. 90
4-7	Circuit de charge de test pour la REGLE 4.26 et la REGLE 4.27 100
4-8	Circuit de charge de test pour la REGLE 4.28 et la REGLE 4.29 102
5-1	EMETTEUR D'EN-TETE avec GESTIONNAIRE DE TRAME 112
5-2	Diagramme d'état de l'EMETTEUR D'EN-TETE 120
5-3	Signaux utilisés par un RECEPTEUR D'EN-TETE 126
5-4	Diagramme d'état du RECEPTEUR D'EN-TETE 130
5-5	EMETTEUR DE DONNEES avec RECEPTEUR D'EN-TETE 138
5-6	Diagramme d'état de l'EMETTEUR DE DONNEES 146
5-7	RECEPTEUR DE DONNEES avec RECEPTEUR D'EN-TETE 152
5-8	Diagramme d'état du RECEPTEUR DE DONNEES 158
5-9	Diagramme d'état du GESTIONNAIRE DE TRAME 170
6-1	Indicateur simple 176
6-2	Gestionnaire de signal virtuel 178
6-3	Parleur sur demande 182
6-4	Parleur transactionnel 188
6-5	Ecouteur sur demande 192
6-6	Ecouteur transactionnel 198
6-7	Indicateur multiadresse 200
6-8	Parleur multiadresse sur demande 204
6-9	Ecouteur multiadresse transactionnel 206
6-10	Gestionnaire de priorité variable 210
6-11	Gestionnaire d'écriture 214
6-12	Gestionnaire de lecture 218
6-13	Emetteur-récepteur de bus virtuel 222
6-14	Sémaphore 228
6-15	Sémaphore à vérification de signature 240
6-16	Groupe à passage de jeton 246
6-17	Gestionnaire d'écriture avec accusé de réception 252
6-18	Ecouteur transactionnel avec accusé de réception 256
6-19	Ecouteur transactionnel à verrouillage 260
6-20	Parleur transactionnel à verrouillage 266
7-1	Chronologie et forme du signal du support physique de fond de panier 274
8-1	Réseau d'adaptation de EXTCLK 282
8-2	Réseaux d'adaptation de EXTDAT 284
8-3	Connexion à la ligne BALANCE 284
8-4	Câble plat-torsadé pour le support physique d'extension à l'intérieur d'un châssis, montrant toutes les combinaisons possibles de connecteurs 298
8-5a	Un connecteur gigogne autorise le retrait de la carte de circuit imprimé tout en assurant la continuité galvanique 300
8-5b	Câble double dans un connecteur D-sub unique assurant la continuité galvanique 302
8-6	Utilisation d'une carte de circuit imprimé pour relier le support physique d'extension en dehors et à l'intérieur d'un châssis 304
8-7	Chronologie et forme de signal pour le support physique d'extension 308
8-8	Chronologie du support physique d'extension et du fond de panier 312
8-9	Etats d'un signal d'extension de bus 316

Figure	Page	
4-6	Backplane Medium waveforms	91
4-7	Test load circuit for RULE 4.26 and RULE 4.27	101
4-8	Test load circuit for RULE 4.28 and RULE 4.29	103
5-1	HEADER SENDER with FRAME MONITOR	113
5-2	HEADER SENDER state diagram	121
5-3	Signals used by a HEADER RECEIVER	127
5-4	HEADER RECEIVER state diagram	131
5-5	DATA SENDER with HEADER RECEIVER	139
5-6	DATA SENDER state diagram	147
5-7	DATA RECEIVER with HEADER RECEIVER	153
5-8	DATA RECEIVER state diagram	159
5-9	FRAME MONITOR state diagram	171
6-1	Simple Flag	177
6-2	Virtual Signal Controller	179
6-3	On-Demand Talker	183
6-4	Transaction Talker	189
6-5	On-Demand Listener	193
6-6	Transaction Listener	199
6-7	Multiaddress Flag	201
6-8	Multiaddress On-Demand Talker	205
6-9	Multiaddress Transaction Listener	207
6-10	Variable Priority Controller	211
6-11	Writing Controller	215
6-12	Reading Controller	219
6-13	Virtual Bus Transceiver	223
6-14	Semaphore	229
6-15	Signature-Checking Semaphore	241
6-16	Token Passing Group	247
6-17	Handshaking Writing Controller	253
6-18	Handshaking Transaction Listener	257
6-19	Locking Transaction Listener	261
6-20	Locking Transaction Talker	267
7-1	Backplane Medium waveforms and timing	275
8-1	EXTCLK termination network	283
8-2	EXTDAT termination networks	285
8-3	Connection to the BALANCE line	285
8-4	Twist-and-flat cable for Extended Medium within a cabinet, showing all the possible connector combinations	299
8-5a	Piggyback D-sub connector allows PCB removal while main- taining galvanic continuity of the Extended Medium	301
8-5b	Double cable in single D-sub connector maintaining galvanic continuity	303
8-6	Using a PCB to link the Extended Medium outside and inside a cabinet	305
8-7	Waveforms and timing for the Extended Medium	309
8-8	Extended and Backplane Media timing	313
8-9	States of an Extended bus signal	317

Tableaux	Pages
2-1 Signaux de l'interface couche physique/couche de liaison de données	40
2-2 Relation entre le bit commandé sur le support physique en fonction de XONE/XSTART/XSAM	42
2-3 Relation entre le bit reçu du support physique en fonction de l'état de RONE/RSTART	42
3-1 Utilisation des sous-trames par les modules	54
3-2 Codes de type de trame	60
3-3 Codes de la trame d'état	70
4-1 Protocole de sortie de SERDAT* pour le module d'ACCES AU BUS	94
4-2 Protocole d'entrée de SERDAT* pour le module d'ACCES AU BUS	96
7-1 REGLES de chronologie pour le groupe GENERATEUR D'HORLOGE+EXTENSION du châssis unique	274
7-2 REGLES de chronologie et OBSERVATIONS pour les modules d'ACCES AU BUS	276
7-3 Points de mesure des paramètres	280
8-1 Taux de transmission du support physique d'extension en fonction du temps de propagation et de la longueur	306
8-2 REGLES de chronologie pour un GENERATEUR D'HORLOGE dans les configurations étendues	310
8-3 REGLES et OBSERVATIONS de chronologie, groupe EXTENSION +ACCES AU BUS isolé	310
8-4 REGLES et OBSERVATIONS de chronologie pour le fond de panier/EXTENSION étendu	314
8-5 Points de mesure des paramètres	318

<https://standards.iteh.ai/catalog/standards/sist/2d257a28-d8b6-4a8d-a5f4-c1ed880bd13f/iec-823-1990>
 IEC 823:1990

Table	Page
2-1 Physical Layer/Link Layer interface signals	41
2-2 XONE/XSTART/XJAM versus bit driven on medium	43
2-3 Bit received from medium versus RONE/RSTART state	43
3-1 Subframe usage by modules	55
3-2 Frame Type codes	61
3-3 Frame Status codes	71
4-1 SERDAT* output protocol for BUS ACCESS module	95
4-2 SERDAT* input protocol for BUS ACCESS module	97
7-1 Timing RULES for single-subrack CLOCK SOURCE+BRIDGE group	275
7-2 Timing RULES and OBSERVATIONS for BUS ACCESS modules .	277
7-3 Parameter measurement points	281
8-1 Extended Medium data rate versus propagation versus length .	307
8-2 Timing RULES for CLOCK SOURCE in extended configurations .	311
8-3 Timing RULES and OBSERVATIONS, Stand-alone BRIDGE+BUS ACCESS group	311
8-4 Timing RULES and OBSERVATIONS for Backplane/Extended BRIDGE	315
8-5 Parameter measurement points <u>IEC 823:1990</u>	319

<https://standards.iteh.ai/catalog/standards/sist/2d257a28-d8b6-4a8d-a5f4-c1ed880bd13f/iec-823-1990>