NORME INTERNATIONALE

INTERNATIONAL STANDARD

CEI
IEC
61188-1-2

Première édition
First edition
1998-04

Cartes imprimées et cartes imprimées équipées – Conception et utilisation –

Partie 1-2:
Prescriptions génériques –
Impédance contrôlée

iTeh STANDARD PREVIEW
(standards.iteh.ai)

Printed boards and printed board assemblies – Design and use –

IEC 61188-1-2:1998
https://standards.iteh.ai/catalog/standards/sist/e8e33cad-6624-4e25-a0f7-6fcd4a56e8a9/iec-61188-1-2-1998

Part 1-2:
Generic requirements –
Controlled impedance

Numéro de référence
Reference number
CEI/IEC 61188-1-2:1998

Numéros des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- **«Site web» de la CEI***
- **Catalogue des publications de la CEI**
  Publié annuellement et mis à jour régulièrement
  (Catalogue en ligne)*
- **Bulletin de la CEI**
  Disponible à la fois au «site web» de la CEI* et comme périodique imprimé

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (VEI).

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique,* la CEI 60417: *Symboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles,* et la CEI 60617: *Symboles graphiques pour schémas.*

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- **IEC web site***
- **Catalogue of IEC publications**
  Published yearly with regular updates
  (On-line catalogue)*
- **IEC Bulletin**
  Available both at the IEC web site* and as a printed periodical

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams.*

* See web site address on title page.

iTeh STANDARD PREVIEW
(standards.iteh.ai)
IEC 61188-1-2:1998
https://standards.iteh.ai/catalog/standards/sist/e8e55ead-0024-4e25-a0f7-6fcd4a56e8a9/iec-61188-1-2-1998

NORME INTERNATIONALE

INTERNATIONAL STANDARD

CEI
IEC
61188-1-2

Première édition
First edition
1998-04

Cartes imprimées et cartes imprimées équipées – Conception et utilisation –

Partie 1-2: Prescriptions génériques – Impédance contrôlée

iTeh STANDARD PREVIEW
(standards.iteh.ai)

Printed boards and printed boards assemblies – Design and use –

IEC 61188-1-2:1998
https://standards.iteh.ai/catalog/standards/sist/e8e33cad-6624-4e25-a0f7-6fcd4a56e8a9/iec-61188-1-2-1998

Part 1-2: Generic requirements – Controlled impedance

© IEC 1998 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission 3, rue de Varembé Geneva, Switzerland
Telefax: +41 22 919 0300 e-mail: inmail@iec.ch IEC web site http: //www.iec.ch

Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE X

Pour prix, voir catalogue en vigueur
For price, see current catalogue

SOMMAIRE

Pages

AVANT-PROPOS 4
INTRODUCTION 6

Articles

1 Domaine d'application 8
2 Références normatives 8
3 Vue d'ensemble de la conception technique 8
3.1 Sélection du dispositif 8
3.2 Intraconnexion 10
3.3 Cartes imprimées et cartes imprimées équipées 12
3.4 Prescriptions de performance 16
3.5 Répartition de la puissance 36
4 Conception des circuits d'impédance contrôlée 38
4.1 Configurations 38
4.2 Equations 40
4.3 Règles de conception d'impédance contrôlée 46
4.4 Règles de diaphonie 48
4.5 Règles de conception de coupon 50
4.6 Règles relatives au découplage/condensateur 54
5 Conception relative à la fabrication 58
5.1 Règles de processus en CAO (conception assistée par ordinateur) 58
5.2 Complexité de la conception et corrélation avec le coût 58
6 Description des données 58
6.1 Détails de construction 60
6.2 Isolation des données par classe de filet (bruit, cadencement, capacité et impédance) 60
6.3 Performances électriques 62
7 Matériau 62
7.1 Systèmes résineux 62
7.2 Renforts 62
7.3 Feuilles préimprégnées, couches de liaison et adhésifs 64
7.4 Dépendance vis-à-vis de la fréquence 64
8 Fabrication 64
8.1 Généralités 64
8.2 Processus de préproduction 66
8.3 Processus de production 70
8.4 Impact des défauts à haute fréquence 74
8.5 Description de données 78
9 Essai de réflectométrie temporelle (TDR) 78
9.1 Justification 78

Annexe A – Unités, symboles et terminologie 82

iTeh STANDARD PREVIEW
(standards.iteh.ai)
IEC 61188-1-2:1998
https://standards.iteh.ai/catalog/standards/sist/e8e33cad-6624-4e25-a0f7-6fcd4a56e8a9/iec-61188-1-2-1998

CONTENTS

Page

FOREWORD 5
INTRODUCTION 7

Clause

1 Scope 9
2 Normative references 9
3 Engineering design overview 9
3.1 Device selection 9
3.2 Intraconnection 11
3.3 Printed board and printed board assemblies 13
3.4 Performance requirements 17
3.5 Power distribution 37
4 Design of controlled impedance circuits 39
4.1 Configurations 39
4.2 Equations 41
4.3 Controlled impedance design rules 47
4.4 Cross-talk rules 49
4.5 Coupon design rules 51
4.6 Decoupling/capacitor rules 55
5 Design for manufacturing 59
5.1 Process rules in CAD 59
5.2 Design complexity and correlation to cost 59
6 Data description 59
6.1 Details of construction 61
6.2 Isolation of data by net class (noise, timing, capacitance and impedance) 61
6.3 Electrical performance 63
7 Material 63
7.1 Resin systems 63
7.2 Reinforcements 63
7.3 Prepregs, bonding layers and adhesives 65
7.4 Frequency dependence 65
8 Fabrication 65
8.1 General 65
8.2 Preproduction processes 67
8.3 Production processes 71
8.4 Impact of defects at high frequencies 75
8.5 Data description 79
9 Time domain reflectometry (TDR) testing 79
9.1 Rationale 79

Annex A – Units, symbols, and terminology 83

iTeh STANDARD PREVIEW
(standards.iteh.ai)
IEC 61188-1-2:1998
https://standards.iteh.ai/catalog/standards/sist/e8e33cad-6624-4e25-a0f7-6fcd4a56e8a9/iec-61188-1-2-1998

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

CARTES IMPRIMÉES ET CARTES IMPRIMÉES ÉQUIPÉES – CONCEPTION ET UTILISATION –

Partie 1-2: Prescriptions génériques – Impédance contrôlée

AVANT-PROPOS

1) La CEI (Commission Electrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes Internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.

2) Les décisions ou accords officiels de la CEI concernant les questions techniques, représentent, dans la mesure du possible un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.

3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, rapports techniques ou guides et agréés comme tels par les Comités nationaux.

4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.

5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.

6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

iTeh STANDARD PREVIEW
(standards.iteh.ai)
IEC 61188-1-2:1998
https://standards.iteh.ai/catalog/standards/sist/e8e33ead-6624-4c25-a0f7-ebd42a8ea7ae/iec-61188-1-2-1998

La Norme internationale CEI 61188-1-2 a été établie par le comité d'études 52 de la CEI: Circuits imprimés.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
52/758/FDIS	52/762/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

L'annexe A est donnée uniquement à titre d'information.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

PRINTED BOARDS AND PRINTED BOARD ASSEMBLIES – DESIGN AND USE –

Part 1-2: Generic requirements – Controlled impedance

FOREWORD

1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.
3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical reports or guides and they are accepted by the National Committees in that sense.
4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.
5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.
6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

iTeh STANDARD PREVIEW
(standards.iteh.ai)
IEC 61188-1-2:1998
https://standards.iteh.ai/catalog/standards/sist/e8e33cad-6624-4e25-a0f7-
6fed4a56e8a7/iec-61188-1-2-1998

International Standard IEC 61188-1-2 has been prepared by IEC technical committee 52: Printed circuits.

The text of this standard is based on the following documents:

FDIS	Report on voting
52/758/FDIS	52/762/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

Annex A is for information only.

INTRODUCTION

L'encapsulation du matériel électronique a traditionnellement fait l'objet de considérations mécaniques. La conception de l'encapsulation présente une complexité croissante tandis que les techniques électroniques actuelles offrent une vitesse de commutation et une densité d'intégration plus élevées. Les puces individuelles possèdent un plus grand nombre de connexions pour des tailles de boîtier de puce plus réduites. Afin de tirer le meilleur avantage de la densité et de la vitesse du dispositif, il faut que les concepteurs accordent beaucoup plus d'attention aux problèmes posés par les phénomènes de propagation d'ondes électromagnétiques associés à la transmission de signaux de commutation au sein du système. De nouvelles disciplines et stratégies de conception sont nécessaires. Les cartes de circuit à impédance contrôlée s'inscrivent dans le cadre de cette stratégie.

L'interconnexion et l'encapsulation de composants électroniques relevaient principalement du domaine des concepteurs en mécanique qui se préoccupaient de facteurs tels que le poids, le volume, la puissance et le facteur de forme, les interconnexions étant spécifiées dans des listes de câblage ou listes de filet. Le routage des signaux pour conducteurs électriques était réalisé sans autres préoccupations que celle du maintien de la continuité entre les points, de la présence de cuivre en quantité suffisante dans les conducteurs pour le passage du courant et du respect du dégagement afin d'empêcher une rupture de tension. Les performances électriques du signal devaient garantir la qualité du trajet électrique, mais ne constituaient pas une préoccupation majeure.

Les progrès réalisés dans le domaine des circuits intégrés numériques font apparaître de nouveaux dispositifs offrant des temps de montée extrêmement rapides intégrés à des boîtiers microélectroniques à forte densité. Afin d'optimiser les performances du système, ces dispositifs nécessitent des techniques de câblage permettant des interconnexions à forte densité tout en offrant des performances électriques supérieures.

iTeh STANDARD PREVIEW
(standards.iteh.ai)
IEC 61188-1-2:1998

De nombreux problèmes de système sont associés au traitement numérique rapide, mais aucun n'a fait l'objet d'autant d'attention, récemment, que l'interconnexion. Il est évident que lorsque les vitesses de système augmentent, l'interconnexion, l'encapsulation et les cartes à circuit représentent les goulets d'étranglement responsables du ralentissement des performances du système. Les systèmes utilisant un circuit 100 K ECL subissent un ralentissement de presque 55 % au niveau de l'encapsulation et de l'interconnexion. Le CMOS est normalement considéré comme une technique «lente», mais elle s'intègre à des fréquences d'horloge dépassant 100 MHz. Dans ces cas, non seulement le retard du système constitue un problème, mais la question de l'affaiblissement du signal se pose au niveau des dispositifs BiCMOS à faible puissance, à faible tension et présentant une marge de bruit inférieure.

INTRODUCTION

Packaging of electronic equipment has traditionally been an area for mechanical considerations. Packaging design is becoming more complex as today's electronics technologies are available in greater switching speed and higher density per chip. Individual chips have greater numbers of connections in smaller chip package sizes. To take maximum advantage of device density and speed, designers must pay much more attention to problems of electromagnetic wave propagation phenomena associated with transmission of switching signals within the system. New design disciplines and design strategies are needed. Controlled impedance printed boards are a part of this strategy.

Interconnection and the packaging of electronic components primarily have been the domain of mechanical designers who were concerned with such factors as weight, volume, power, and form factor and with interconnections specified in wire listing or net lists. Electrical conductors for signal transmission were routed with only a few concerns, that continuity was maintained between points, conductors had sufficient copper for the current and clearance was maintained to prevent voltage breakdown. Aside from providing a good electrical path, the electrical performance of the signal was not a major concern.

Advances in digital integrated circuits introduce new devices with extremely fast rise times which are housed in high density microelectronic packages. In order to optimize system performance, these devices require a wiring technology that supports high density interconnection and, at the same time, provides superior electrical performance.

iTeh STANDARD PREVIEW
(standards.iteh.ai)

While many system problems are associated with high speed digital processing, none has received more attention than interconnection. It is evident that as system speeds increase, interconnection, packaging, and printed boards become the bottlenecks that slow system performance. Systems using 100 K ECL circuitry have almost 55 % of the system delay in the packaging and interconnect. CMOS is normally considered a "slow" technology, but is designed into system clock rates in excess of 100 MHz. In these cases, not only is system delay a problem but signal attenuation becomes an issue with the low powered, low voltage, lower noise margin BiCMOS devices.

CARTES IMPRIMÉES ET CARTES IMPRIMÉES ÉQUIPÉES – CONCEPTION ET UTILISATION –

Partie 1-2: Prescriptions génériques – Impédance contrôlée

1 Domaine d'application

La présente partie de la CEI 61188 est destinée à être utilisée par les concepteurs de circuit, les ingénieurs en encapsulation, les fabricants de cartes imprimées et le personnel responsable de l'approvisionnement, de façon que tous aient une appréhension commune de chaque domaine. L'objectif de l'encapsulation consiste à transférer un signal d'un dispositif à un ou plusieurs autres dispositifs au travers d'un conducteur. Les conceptions rapides sont définies comme des conceptions dont les propriétés d'interconnexion influent sur les performances du circuit et exigent des considérations particulières.

2 Références normatives

iTeh STANDARD PREVIEW
(standards.iteh.ai)
IEC 61188-1-2:1998
https://standards.iteh.ai/catalog/standards/sist/e8e55cad-6624-4e25-a01f-6fcd4a56e8a9/iec-61188-1-2-1998

Les documents normatifs suivants contiennent des dispositions, qui par suite de la référence qui y est faite, constituent des dispositions valables pour la présente partie de la CEI 61188. Au moment de la publication, les éditions indiquées étaient en vigueur. Tout document normatif est sujet à révision, et les parties prenantes aux accords fondés sur la présente partie de la CEI 61188 sont invitées à rechercher la possibilité d'appliquer les éditions les plus récentes des documents normatifs indiqués ci-après. Les membres de la CEI et de l'ISO possèdent le registre des Normes internationales en vigueur.

CEI 61182 (toutes les parties), *Cartes imprimées – Description et transmission de données informatiques*

CEI 61182-1:1994, *Cartes imprimées – Description et transmission de données informatiques – Partie 1: Descriptif de carte imprimée sous forme numérique*

CEI 61189-3:1997, *Méthodes d'essai pour les matériaux électriques, les structures d'interconnexion et les ensembles – Partie 3: Méthodes d'essais des structures d'interconnexion (cartes imprimées)*

3 Vue d'ensemble de la conception technique

3.1 Sélection du dispositif

Parmi les options technologiques du dispositif figurent les TTL, Schottky TTL, CMOS, ECL et GaAs, chacune possédant ses propres prescriptions de puissance, gamme de températures de fonctionnement, densité de puce, impédance d'entrée, de sortie, niveaux de seuil de signal, sensibilité au bruit, temps de réponse et temps de montée/descente d'impulsions de sortie. De nombreuses conceptions intégreront des techniques mixtes, mélangeant la SMT et l'encapsulation par trous de liaison à la logique TTl, CMOS et ECL susceptibles de nécessiter des largeurs de ligne multiples (valeurs d'impédance) sur la même couche de circuit ou de faire un compromis sur une seule largeur de conducteur offrant suffisamment de marge aux différentes familles de logiques.

PRINTED BOARDS AND PRINTED BOARD ASSEMBLIES – DESIGN AND USE –

Part 1-2: Generic requirements – Controlled impedance

1 Scope

This part of IEC 61188 is intended to be used by circuit designers, packaging engineers, printed board manufacturers and procurement personnel so that all may have a common understanding of each area. The aim in packaging is to transfer a signal from one device to one or more other devices through a conductor. High-speed designs are defined as designs in which the interconnecting properties affect circuit performance and require unique considerations.

2 Normative references

The following normative documents contain provisions which, through reference in this text, constitute provisions of this part of IEC 61188. At the time of publication, the editions indicated were valid. All normative documents are subject to revision, and parties to agreements based on this part of IEC 61188 are encouraged to investigate the possibility of applying the most recent editions of the normative documents listed below. Members of IEC and ISO maintain registers of currently valid international standards.

iTeh STANDARD PREVIEW
(standards.iteh.ai)
IEC 61188-1-2:1998
https://standards.iteh.ai/catalog/standards/sist/e8e33cad-6624-4e25-a0f7-

IEC 61182 (all parts), *Printed boards – Electronic data description and transfer*

IEC 61182-1:1994, *Printed boards – Electronic data description and transfer – Part 1: Printed board description in digital form*

IEC 61189-3:1997, *Test methods for electrical materials, interconnection structures and assemblies – Part 3: Test methods for interconnection structures (printed boards)*

3 Engineering design overview

3.1 Device selection

Device technology options include TTL, Schottky TTL, CMOS, ECL and GaAs, each with its own set of power requirements, operating temperature range, density of chip, input impedance, output impedance, signal threshold levels, noise sensitivity, response time and output pulse rise/fall time. Many designs will have mixed technology where SMT and through hole packaging is intermixed with TTL, CMOS and ECL logic that may require multiple line widths (impedance values) on the same circuit layer or may compromise on a single conductor width that can provide enough margin for the different logic families.

Les puces peuvent être montées individuellement sur une grande carte ou assemblées sur de petites cartes ou modules multipuces montés sur de grandes cartes. Il n'est pas exclu que les systèmes de grande taille nécessitent plusieurs ensembles de grandes cartes présentant un autre niveau d'interconnexion. Le bruit, la temporisation et la dégradation du signal accompagneront les transitions d'un niveau d'encapsulation à un autre.

Les connexions électriques sur la carte peuvent présenter toute une gamme de configurations: broches de raccordement s'insérant dans la carte par des trous métallisés, comme dans les boîtiers à deux rangées de broches, série de pastilles dans le cas des dispositifs pour montage en surface. Les prescriptions relatives à l'encapsulation des composants dépendent de plusieurs facteurs, entre autres l'espace, l'économie, les performances électriques et la fiabilité, ainsi que le style d'encapsulation prédominant de l'ensemble. Les composants doivent offrir un style compatible avec les processus d'assemblage utilisés pour la fabrication de la carte imprimée équipée.

Le boîtier du composant doit être pris en compte lorsqu'on envisage une conception rapide. Au niveau des composants passifs, le facteur prédominant sera la longueur de la sortie car les sorties fournissent une inductance et une capacité supplémentaires influençant la vitesse de propagation et les transitoires de commutation. Pour minimiser ces effets, il est admis de réduire au maximum la longueur des sorties ou de les enlever. Les dispositifs pour montage en surface peuvent présenter des boîtiers sans sorties pouvant être directement montés sur le substrat d'interconnexion.

NOTE – Les fiches techniques de composants n'indiquent souvent pas de valeurs parasites concernant le bruit à vitesse rapide et la vitesse de propagation.

iTeh STANDARD PREVIEW
(standards.iteh.ai)

Les dispositifs actifs, les composants tels que les circuits intégrés, sont souvent proposés dans plusieurs boîtiers différents. En général, les boîtiers DIP, en plastique ou en céramique, sont les plus courants. Ce sont typiquement les plus grands et ceux qui fournissent l'environnement de fonctionnement rapide le moins bon du fait de la configuration des sorties. Le style de boîtier qui vient en second est le boîtier pour montage en surface. Ils sont proposés dans une gamme de boîtiers différents tels que SOIC, PLCC, PFQP ou TSOP. Ces boîtiers réduiront typiquement la capacité et l'inductance des sorties.

IEC 61188-1-2:1998
https://standards.iteh.ai/catalog/standards/sist/c8c35cad-6624-4c25-a0f7-6fcd4a50c8a9/iec-61188-1-2-1998

Pour obtenir des performances optimales au niveau du dispositif, la puce peut être directement montée sur le substrat en utilisant le pastillage (COB), la puce à bosses ou le soudage automatisé sur bande (TAB). Elles constituent une approche optimale car elles minimisent la capacité/l'inductance de sortie.

3.2 Intraconnexion

3.2.1 Connecteurs

Les intraconnexions sont souvent sources de problèmes en application rapide car aucun environnement de signal continu n'est fourni. La plupart des systèmes de connecteurs carte à carte ne sont pas conçus pour une utilisation dans le cadre d'applications à hautes performances et compromettent l'intégrité de signal du système. Les connexions carte à carte présentent souvent un défaut d'adaptation de l'impédance caractéristique dans la carte elle-même.

Il existe deux approches principales pour réduire la discontinuité de signal provoquée par les systèmes d'interconnexion:

a) la première approche consiste à fournir un style de connecteur permettant de disposer les brochages de manière à obtenir un trajet de signal satisfaisant. Les signaux non-différentiels doivent se définir pas une référence située entre la ligne de signal active et la connexion du plan de référence le plus proche, qu'il s'agisse d'une tension ou d'un plan de masse. Les conducteurs de signaux non différentiels reposent sur des géométries contrôlées et un plan de référence proche pour le contrôle de l'impédance. La qualité de la broche de signal, celle de la broche de référence et leur emplacement déterminent les performances électriques. Pour optimiser les performances, des broches de référence doivent être ajoutées afin de réduire les problèmes de diaphonie. Généralement un rapport broche de signal-broche de référence de 3 à 1 est suffisant;

Chips can be individually mounted on a large board or assembled into small boards or multichip modules mounted onto large boards. Large systems may require several large board assemblies with another level of interconnection. Noise, timing, and signal degradation will accompany transitions from one packaging level to the next.

The electrical connections to the board can be of a variety of configurations ranging from pins that will insert through plated holes in the board, as in dual in-line packages, to a series of lands for surface mount devices. Requirements for component packaging are dependent on many factors including space, economics, electrical performance and reliability, as well as the predominant packaging style of the assembly. The components shall be provided in a style that is compatible with the assembly processes used to manufacture the printed board assembly.

The component package shall be considered when designing for high speed. In passive components the predominant factor will be the lead length as leads provide additional inductance and capacitance that will affect propagation speed and switching transients. To minimize these effects the leads may be as short as possible or removed. Surface mount devices can provide leadless packages which can be directly mounted to the interconnecting substrate.

NOTE – Component data sheets often do not provide parasitic values for high speed noise and propagation speed consideration.

Active devices, components such as integrated circuits, are often offered in several packages. In general, DIP packages, in either plastic or ceramic, have been the predominate package . These are typically the largest packages and provide the poorest high speed operating environment due to lead configuration. The next best package style is the surface mount package. These are offered in a variety of packages such as SOICs, PLCCs, PFQPs, TSOPs BGAs. These packages will typically reduce the lead capacitance and inductance.

iTeh STANDARD PREVIEW
(standards.iteh.ai)
IEC 61188-1-2:1998

To obtain the optimum performance from the device, the die can be directly mounted to the substrate using either the chip-on-board (COB), flip chip or tape automated bonding (TAB) approach. These offer an optimum approach since they minimize the lead capacitance/ inductance.

3.2 Intraconnection

3.2.1 Connectors

Intraconnections are often troublesome in high speed application because a continuous signal environment is not provided. Most board to board connector systems are not designed for use in high performance applications and compromise the signal integrity of the system. Board to board connections often mismatch the characteristic impedance designed into the board themselves.

There are two primary approaches to reduce the signal discontinuity caused by interconnect systems:

a) The first approach is to provide a connector style such that the pinouts can be arranged to provide a good signal path. Non-differential signals shall establish a relationship between the active signal line and the closest reference plane connection, either a voltage or ground plane. Non-differential signal conductors rely on controlled geometries and nearby reference plane for impedance control. Signal pin quality, reference pin quality and their location controls electrical performance. To optimise performance, reference pins shall be added to reduce the cross-talk problems. Generally a 3:1 ratio of signal to reference pins (i.e. 3 signal, 1 reference) is sufficient;

b) la seconde approche consiste à modifier le connecteur pour minimiser la distance de discontinuité entre les cartes. En diminuant la longueur de la broche, ou en ajoutant un plan de masse de référence dans le connecteur, on peut utiliser des distances plus réduites.

Des connecteurs coaxiaux montés sur carte sont fréquemment utilisés quand seules quelques lignes de signal sont connectées à une carte à circuit ou quand l'isolation ou l'intégrité du signal est importante.

3.2.2 Câbles

Des connecteurs et des câbles coaxiaux discrets sont souvent utilisés car ils peuvent coupler des signaux rapides, de haute fréquence, à une carte imprimée avec une faible dégradation de signal. Quatre domaines doivent être considérés:

– vitesse de propagation du signal;
– diaphonie;
– bruit induit;
– adaptation des impédances.

Des fils coaxiaux discrets ont été utilisés avec des cartes à fils discrets pour des applications rapides uniques jusqu'à 18 GHz. Un câble optique a également été utilisé avec succès avec des cartes à fils discrets pour des signaux à haute fréquence.

3.3 Cartes imprimées et cartes imprimées équipées

iTeh STANDARD PREVIEW
(standards.iteh.ai)

Le placement des composants est un facteur critique dans la conception de systèmes rapides. Les effets d'un placement inadapté peuvent être importants et affectent les domaines suivants:

– gestion de la diaphonie;
– contrôle de l'impédance;
– répartition de la puissance.

IEC 61188-1-2:1998
https://standards.iteh.ai/catalog/standards/sist/e8e33cad-6624-4e25-a0f7-6fcd4a56e8a9/iec-61188-1-2-1998

3.3.1 Conception de la carte

Le nombre de couches du signal dans les cartes multicouches sera influencé par la densité des interconnexions au sein de la carte ainsi que l'effet de la diaphonie ou du couplage entre les lignes de signal. La tolérance au niveau de la diaphonie peut rendre nécessaire d'ajouter des couches ou d'exiger une augmentation de l'espace entre les conducteurs, réduisant ainsi la densité d'interconnexion.

La densité des interconnexions des cartes à fils discrets influencera l'effet de diaphonie. Il n'est pas exclu que l'utilisation d'un routage de fil diagonal sur les même couches de câblage qui routent les conducteurs verticalement ou horizontalement (c'est-à-dire directions X et Y) permette une plus grande densité de circuit par couche et que les géométries de placement disponibles puissent permettre une densité élevée et une faible diaphonie.

Il existe une relation étroite entre la conception et les performances dans le cas de lignes d'interconnexion impliquant des signaux numériques rapides. Cette interdépendance n'existait pas auparavant ou pouvait être ignorée dans les applications de signaux lents, cependant elle impose maintenant de nouvelles règles de conception, restrictions et gestions de processus.

Pour relever les défis posés par le traitement numérique rapide, la carte imprimée multicouche actuelle doit:

– réduire le temps de propagation;
– réduire la diaphonie et les autres parasites de ligne;
– réduire la perte de signal;
– permettre les interconnexions à densité élevée.

b) The second approach is to modify the connector to minimize the discontinuity. By shortening the pin length, or adding a reference ground plane within the connector, smaller distances between boards can be used.

Board mounted coaxial connectors are frequently used when only a few signal lines are connecting to a circuit board or where either signal isolation or signal integrity is important.

3.2.2 Cables

Discrete coax connectors and cables are often used because they can couple high speed, high frequency signals to a printed board with little signal degradation. There are four areas that shall be considered:

– signal propagation speed;
– cross-talk;
– induced noise;
– impedance matching.

Discrete coaxial wires have been used with discrete wiring boards for unique, high-speed applications up to 18 GHz. An optical cable has also been used successfully with discrete wiring boards for high frequency signals.

3.3 Printed board and printed board assemblies

iTeh STANDARD PREVIEW

Component placement is a critical factor in the design of high-speed systems. The effects of unsuitable placement can be significant and include concerns in the following areas:

(standards.iteh.ai)

– cross-talk management;
– impedance control;
– power distribution.

IEC 61188-1-2:1998
https://standards.iteh.ai/catalog/standards/sist/e8e33cad-6624-4e25-a0f7-6fcd4a56e8a9/iec-61188-1-2-1998

3.3.1 Board design

The number of signal layers in multilayer boards will be influenced by the density of interconnections within the board as well as the effect of cross-talk or coupling between signal lines. Cross-talk allowance can make it necessary to add layers or can require increasing space between conductors decreasing the interconnect density.

Discrete wiring board density of interconnections within the board will influence the effect of cross-talk. The use of diagonal wire routing on the same wiring layers that route conductors vertically or horizontally (i.e. X and Y directions) may allow greater circuit density per layer and the placement geometries available can accommodate high density and low cross-talk.

A close relationship between design and performance exists in the case of interconnection lines involving high speed digital signals. This interdependence did not exist previously or could be ignored in low-speed signal applications, however, it now imposes new design rules, restrictions and process controls.

To meet the challenges of high-speed digital processing, today's multilayer printed board shall:

– reduce propagation delay;
– lower cross-talk and other line parasitics;
– reduce signal loss;
– allow for high density interconnections.