

NORME  
INTERNATIONALE  
INTERNATIONAL  
STANDARD

CEI  
IEC

61188-5-2

Première édition  
First edition  
2003-06

---

---

**Cartes imprimées et cartes imprimées équipées –  
Conception et utilisation –**

**Partie 5-2:  
Considérations sur les liaisons pistes-soudures –  
Composants discrets**

ITC STANDARD PREVIEW  
(standards.iteh.ai)

**Printed boards and printed board assemblies –  
Design and use –**

IEC 61188-5-2:2003  
<https://standards.iteh.ai/catalog/standards/sist/68feced3-add3-4e84-bdf7-9c827eb111a6/iec-61188-5-2-2003>

**Part 5-2:  
Attachment (land/joint) considerations –  
Discrete components**



Numéro de référence  
Reference number  
CEI/IEC 61188-5-2:2003

## Numérotation des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000. Ainsi, la CEI 34-1 devient la CEI 60034-1.

## Editions consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

## Informations supplémentaires sur les publications de la CEI

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique. Des renseignements relatifs à cette publication, y compris sa validité, sont disponibles dans le Catalogue des publications de la CEI (voir ci-dessous) en plus des nouvelles éditions, amendements et corrigenda. Des informations sur les sujets à l'étude et l'avancement des travaux entrepris par le comité d'études qui a élaboré cette publication, ainsi que la liste des publications parues, sont également disponibles par l'intermédiaire de :

- **Site web de la CEI** ([www.iec.ch](http://www.iec.ch))
- **Catalogue des publications de la CEI**  
Le catalogue en ligne sur le site web de la CEI ([http://www.iec.ch/searchpub/cur\\_fut.htm](http://www.iec.ch/searchpub/cur_fut.htm)) vous permet de faire des recherches en utilisant de nombreux critères, comprenant des recherches textuelles, par comité d'études ou date de publication. Des informations en ligne sont également disponibles sur les nouvelles publications, les publications remplacées ou retirées, ainsi que sur les corrigenda.
- **IEC Just Published**  
Ce résumé des dernières publications parues ([http://www.iec.ch/online\\_news/justpub/jp\\_entry.htm](http://www.iec.ch/online_news/justpub/jp_entry.htm)) est aussi disponible par courrier électronique. Veuillez prendre contact avec le Service client (voir ci-dessous) pour plus d'informations.
- **Service clients**  
Si vous avez des questions au sujet de cette publication ou avez besoin de renseignements supplémentaires, prenez contact avec le Service clients:  
Email: [custserv@iec.ch](mailto:custserv@iec.ch)  
Tél: +41 22 919 02 11  
Fax: +41 22 919 03 00

## Publication numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series. For example, IEC 34-1 is now referred to as IEC 60034-1.

## Consolidated editions

The IEC is now publishing consolidated versions of its publications. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

## Further information on IEC publications

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology. Information relating to this publication, including its validity, is available in the IEC Catalogue of publications (see below) in addition to new editions, amendments and corrigenda. Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is also available from the following:

- **IEC Web Site** ([www.iec.ch](http://www.iec.ch))
- **Catalogue of IEC publications**  
The on-line catalogue on the IEC web site ([http://www.iec.ch/searchpub/cur\\_fut.htm](http://www.iec.ch/searchpub/cur_fut.htm)) enables you to search by a variety of criteria including text searches, technical committees and date of publication. On-line information is also available on recently issued publications, withdrawn and replaced publications, as well as corrigenda.
- **IEC Just Published**  
This summary of recently issued publications ([http://www.iec.ch/online\\_news/justpub/jp\\_entry.htm](http://www.iec.ch/online_news/justpub/jp_entry.htm)) is also available by email. Please contact the Customer Service Centre (see below) for further information.
- **Customer Service Centre**  
If you have any questions regarding this publication or need further assistance, please contact the Customer Service Centre:  
Email: [custserv@iec.ch](mailto:custserv@iec.ch)  
Tel: +41 22 919 02 11  
Fax: +41 22 919 03 00

NORME  
INTERNATIONALE  
INTERNATIONAL  
STANDARD

CEI  
IEC

61188-5-2

Première édition  
First edition  
2003-06

---

---

**Cartes imprimées et cartes imprimées équipées –  
Conception et utilisation –**

**Partie 5-2:  
Considérations sur les liaisons pistes-soudures –  
Composants discrets**

ITC STANDARD PREVIEW  
(standards.iteh.ai)

**Printed boards and printed board assemblies –  
Design and use –**

IEC 61188-5-2:2003  
<https://standards.iteh.ai/catalog/standards/sist/68feced3-add3-4e84-bdf7-9c827eb111a6/iec-61188-5-2-2003>

**Part 5-2:  
Attachment (land/joint) considerations –  
Discrete components**

© IEC 2003 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission, 3, rue de Varembe, PO Box 131, CH-1211 Geneva 20, Switzerland  
Telephone: +41 22 919 02 11 Telefax: +41 22 919 03 00 E-mail: [inmail@iec.ch](mailto:inmail@iec.ch) Web: [www.iec.ch](http://www.iec.ch)



Commission Electrotechnique Internationale  
International Electrotechnical Commission  
Международная Электротехническая Комиссия

CODE PRIX  
PRICE CODE XA

Pour prix, voir catalogue en vigueur  
For price, see current catalogue

## SOMMAIRE

AVANT-PROPOS .....	8
INTRODUCTION .....	12
1 Domaine d'application.....	14
2 Références normatives .....	14
3 Emballage .....	16
4 Résistances fixes chipsets rectangulaires .....	16
4.1 Remarque introductive.....	16
4.2 Description du composant.....	16
4.3 Dimensions du composant.....	18
4.4 Conception du cordon de brasure .....	20
4.5 Dimensions de la zone de report.....	24
5 Résistances fixes chipsets cylindriques .....	28
5.1 Remarque introductive.....	28
5.2 Description du composant.....	28
5.3 Dimensions du composant.....	30
5.4 Conception du cordon de brasure .....	30
5.5 Dimensions de la zone de report.....	34
6 Condensateurs fixes chipsets à diélectrique en céramique multicouche .....	38
6.1 Remarque introductive.....	38
6.2 Description du composant.....	38
6.3 Dimensions du composant.....	42
6.4 Conception du cordon de brasure .....	42
6.5 Dimensions de la zone de report.....	46
7 Condensateurs fixes chipsets au tantale .....	50
7.1 Remarque introductive.....	50
7.2 Description du composant.....	50
7.3 Dimensions du composant.....	52
7.4 Conception du cordon de brasure .....	52
7.5 Dimensions de la zone de report.....	56
8 Condensateurs fixes chipsets électrolytiques à l'aluminium à électrolyte non solide (de type vertical).....	60
8.1 Remarque introductive.....	60
8.2 Description du composant.....	60
8.3 Dimensions du composant.....	62
8.4 Conception du cordon de brasure .....	64
8.5 Dimensions de la zone de report.....	66
9 Condensateurs fixes chipsets électrolytiques à l'aluminium à électrolyte non solide (de type horizontal).....	70
9.1 Remarque introductive.....	70
9.2 Description du composant.....	70
9.3 Dimensions du composant.....	72
9.4 Conception du cordon de brasure .....	74
9.5 Dimensions de la zone de report.....	76

## CONTENTS

FOREWORD .....	9
INTRODUCTION .....	13
1 Scope .....	15
2 Normative references.....	15
3 Packaging.....	17
4 Fixed rectangular chip resistors .....	17
4.1 Introductory remark .....	17
4.2 Component description .....	17
4.3 Component dimensions .....	19
4.4 Solder joint fillet design .....	21
4.5 Land pattern dimensions.....	25
5 Fixed cylindrical chip resistors .....	29
5.1 Introductory remark .....	29
5.2 Component description .....	29
5.3 Component dimensions .....	31
5.4 Solder joint fillet design .....	31
5.5 Land pattern dimensions.....	35
6 Fixed multilayer ceramic chip capacitors .....	39
6.1 Introductory remark .....	39
6.2 Component description .....	39
6.3 Component dimensions .....	43
6.4 Solder joint fillet design .....	43
6.5 Land pattern dimensions.....	47
7 Fixed tantalum chip capacitors.....	51
7.1 Introductory remark .....	51
7.2 Component description .....	51
7.3 Component dimensions .....	53
7.4 Solder joint fillet design .....	53
7.5 Land pattern dimensions.....	57
8 Fixed aluminium electrolytic chip capacitors with non-solid electrolyte (vertical type).....	61
8.1 Introductory remark .....	61
8.2 Component description .....	61
8.3 Component dimensions .....	63
8.4 Solder joint fillet design .....	65
8.5 Land pattern dimensions.....	67
9 Fixed aluminium electrolytic chip capacitors with non-solid electrolyte (horizontal type).....	71
9.1 Introductory remark .....	71
9.2 Component description .....	71
9.3 Component dimensions .....	73
9.4 Solder joint fillet design .....	75
9.5 Land pattern dimensions.....	77

10	Condensateurs fixes chipses à diélectrique en film .....	80
10.1	Remarque introductive.....	80
10.2	Description du composant.....	80
10.3	Dimensions du composant.....	82
10.4	Conception du cordon de brasure .....	84
10.5	Dimensions de la zone de report.....	86
11	Inductances fixes chipses (de type multicouche).....	90
11.1	Remarque introductive.....	90
11.2	Description du composant.....	90
11.3	Dimensions du composant.....	92
11.4	Conception du cordon de brasure .....	92
11.5	Dimensions de la zone de report.....	96
12	Inductances fixes chipses [à enroulement].....	100
13	Transistors – SC-59/TO-236 .....	100
14	Transistors – SC-62/TO-243 .....	100
15	Transistors – SC-61/TO-253 .....	100
16	Diodes – SC-73 .....	100
17	Transistors – SC-63/TO-252 .....	100
18	Transistors – SC-77 .....	100
<b>iTeh STANDARD PREVIEW</b>		
<b>(standards.iteh.ai)</b>		
	Bibliographie .....	102
	Figure 1 – Emballage .....	16
	Figure 2 – Construction d'une résistance fixe chipse rectangulaire .....	18
	Figure 3 – Dimensions d'une résistances fixe chipse rectangulaire.....	20
	Figure 4 – Protubérance de soudure .....	24
	Figure 5 – Dimensions de la zone de report pour résistances fixes chipses rectangulaires .....	26
	Figure 6 – Construction d'une résistance fixe chipse cylindrique .....	28
	Figure 7 – Dimensions d'une résistance fixe chipse cylindrique.....	30
	Figure 8 – Protubérance de soudure .....	34
	Figure 9 – Dimensions de la zone de report pour résistances fixes chipses cylindriques.....	36
	Figure 10 – Construction d'un condensateur fixe chipse à diélectrique en céramique multicouche.....	38
	Figure 11 – Dimensions d'un condensateur fixe chipse à diélectrique en céramique multicouche.....	42
	Figure 12 – Protubérance de soudure .....	46
	Figure 13 – Dimensions de la zone de report pour condensateurs fixes chipses à diélectrique en céramique multicouche.....	48
	Figure 14 – Construction d'un condensateur fixe chipse au tantale.....	50
	Figure 15 – Dimensions d'un condensateur fixe chipse au tantale .....	52
	Figure 16 – Protubérance de soudure .....	56
	Figure 17 – Dimensions de la zone de report pour condensateurs fixes chipses au tantale.....	58

10	Fixed film chip capacitors .....	81
10.1	Introductory remark .....	81
10.2	Component description .....	81
10.3	Component dimensions .....	83
10.4	Solder joint fillet design .....	85
10.5	Land pattern dimensions.....	42
11	Fixed chip inductors (multilayer type).....	91
11.1	Introductory remark .....	91
11.2	Component description .....	91
11.3	Component dimensions .....	93
11.4	Solder joint fillet design .....	93
11.5	Land pattern dimensions.....	97
12	Fixed chip inductors (wire wound type) .....	101
13	SC-59/TO-236 – Transistors .....	101
14	SC-62/TO-243 – Transistors .....	101
15	SC-61/TO-253 – Transistors .....	101
16	SC-73 – Diodes .....	101
17	SC-63/TO-252 – Transistors .....	101
18	SC-77 – Transistors .....	101
<b>iTeh STANDARD PREVIEW</b>		
<b>(standards.iteh.ai)</b>		
	Bibliography.....	103
	Figure 1 – Packaging .....	17
	Figure 2 – Fixed rectangular chip resistor construction.....	19
	Figure 3 – Fixed rectangular chip resistor dimensions.....	21
	Figure 4 – Solder joint protrusion .....	25
	Figure 5 – Fixed rectangular chip resistor land pattern dimensions .....	27
	Figure 6 – Fixed cylindrical chip resistor construction.....	29
	Figure 7 – Fixed cylindrical chip resistor dimensions.....	31
	Figure 8 – Solder joint protrusion .....	35
	Figure 9 – Fixed cylindrical chip resistor land pattern dimensions .....	37
	Figure 10 – Fixed multilayer ceramic chip capacitor construction .....	39
	Figure 11 – Fixed multilayer ceramic chip capacitor component dimensions.....	43
	Figure 12 – Solder joint protrusion .....	47
	Figure 13 – Fixed multilayer ceramic chip capacitor land pattern dimensions .....	49
	Figure 14 – Fixed tantalum chip capacitor construction .....	51
	Figure 15 – Fixed tantalum chip capacitor component dimensions.....	53
	Figure 16 – Solder joint protrusion .....	57
	Figure 17 – Fixed tantalum chip capacitor land pattern dimensions .....	59

Figure 18 – Construction d'un condensateur fixe chipse électrolytique à l'aluminium à électrolyte non solide (de type vertical) .....	60
Figure 19 – Dimensions d'un condensateur fixe chipse électrolytique à l'aluminium (de type vertical) .....	62
Figure 20 – Protubérance de soudure .....	66
Figure 21 – Dimensions de la zone de report pour condensateurs fixes chipses électrolytiques à l'aluminium (de type vertical) .....	70
Figure 22 – Construction d'un condensateur fixe chipse électrolytique à l'aluminium à électrolyte non solide (de type horizontal) .....	70
Figure 23 – Dimensions d'un condensateur fixe chipse électrolytique à l'aluminium (de type horizontal) .....	72
Figure 24 – Protubérance de soudure .....	76
Figure 25 – Dimensions de la zone de report pour condensateurs fixes chipses électrolytiques à l'aluminium (de type horizontal) .....	78
Figure 26a – Condensateur à empilement .....	41
Figure 26b – Condensateur à enroulement.....	80
Figure 27a – A empilement .....	82
Figure 27b – A enroulement .....	82
Figure 28 – Protubérance de soudure .....	86
Figure 29 – Dimensions de la zone de report pour condensateurs fixes chipses à diélectrique en film MPFS .....	88
Figure 30 – Construction d'une inductance fixe chipse.....	90
Figure 31 – Dimensions d'une inductance fixe chipse (de type multicouche) .....	92
Figure 32 – Protubérance de soudure .....	96
Figure 33 – Dimensions de la zone de report pour inductances fixes chipses.....	98

STANDARD PREVIEW  
 (standards.iteh.ai)  
 IEC 61188-5-2:2003  
<https://standards.iteh.ai/catalog/standards/sist/68feced3-add3-4e84-bdf7-9c827cb111a0/iec-61188-5-2-2003>



Figure 18 – Fixed aluminium electrolytic chip capacitor with non-solid electrolyte (vertical type) construction .....	61
Figure 19 – Fixed aluminium electrolytic chip capacitor (vertical type) dimensions .....	63
Figure 20 – Solder joint protrusion .....	67
Figure 21 – Fixed aluminium electrolytic chip capacitor (vertical type) land pattern dimensions.....	71
Figure 22 – Fixed aluminium electrolytic chip capacitor with non-solid electrolyte (horizontal type) construction .....	71
Figure 23 – Fixed aluminium electrolytic chip capacitor (horizontal type) dimensions .....	73
Figure 24 – Solder joint protrusion .....	77
Figure 25 – Fixed aluminium electrolytic chip capacitor (horizontal type) land pattern dimensions .....	79
Figure 26a – Stacked type.....	38
Figure 26b – Wound type .....	81
Figure 27a – Stacked type.....	83
Figure 27b – Wound type .....	39
Figure 28 – Solder joint protrusion .....	87
Figure 29 – MPPS film chip capacitor land pattern dimensions.....	89
Figure 30 – Fixed chip inductor construction .....	91
Figure 31 – Fixed chip inductor (multilayer type) component dimensions.....	93
Figure 32 – Solder joint protrusion.....	97
Figure 33 – Fixed chip inductor land pattern dimensions .....	99

[IEC 61188-5-2:2003](https://standards.iteh.ai/catalog/standards/sist/68feced3-add3-4e84-bdf7-9c827eb111a6/iec-61188-5-2-2003)

<https://standards.iteh.ai/catalog/standards/sist/68feced3-add3-4e84-bdf7-9c827eb111a6/iec-61188-5-2-2003>

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

**CARTES IMPRIMÉES ET CARTES IMPRIMÉES EQUIPÉES –  
CONCEPTION ET UTILISATION –**

**Partie 5-2: Considérations sur les liaisons pistes-soudures –  
Composants discrets**

AVANT-PROPOS

- 1) La CEI (Commission Electrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.
- 3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, spécifications techniques, rapports techniques ou guides et agréés comme tels par les Comités nationaux.
- 4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.
- 5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.
- 6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

La norme internationale CEI 61188-5-2 a été établie par le comité d'études 91 de la CEI: Techniques d'assemblage des composants électroniques.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
91/382/FDIS	91/397/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

Cette publication a été rédigée selon les directives ISO/CEI, Partie 2

Il convient que la présente Norme internationale soit lue conjointement avec la CEI 61188-5-1: 2002.

## INTERNATIONAL ELECTROTECHNICAL COMMISSION

**PRINTED BOARDS AND PRINTED BOARD ASSEMBLIES –  
DESIGN AND USE –****Part 5-2: Attachment (land/joint) considerations –  
Discrete components**

## FOREWORD

- 1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.
- 2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.
- 3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical specifications, technical reports or guides and they are accepted by the National Committees in that sense.
- 4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.  
<https://standards.iteh.ai/catalog/standards/sist/68f6ead3-6dd3-4c84-bd57-757010e61c2d/iec-61188-5-2-2003>
- 5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.
- 6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 61188-5-2 has been prepared by IEC technical committee 91: Electronics assembly technology.

The text of this standard is based on the following documents:

FDIS	Report on voting
91/382/FDIS	91/397/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

This publication has been drafted in accordance with the ISO/IEC Directives, Part 2.

This International Standard is to be read in conjunction with IEC 61188-5-1:2002.

Cette norme constitue la Partie 5-2 de la CEI 61188 publiée sous le titre général *Cartes imprimées et cartes imprimées équipées – Conception et utilisation* <sup>1</sup>:

- Partie 5-1: Considérations sur les liaisons pistes-soudures – Prescriptions génériques
- Partie 5-2: Considérations sur les liaisons pistes-soudures – Composants discrets
- Partie 5-3: Considérations sur les liaisons pistes-soudures – Composants à pattes bilatérales en ailes de mouette
- Partie 5-4: Considérations sur les liaisons pistes-soudures – Composants à pattes «J» bilatérales
- Partie 5-5: Considérations sur les liaisons pistes-soudures – Composants à pattes quadrilatérales en ailes de mouette
- Partie 5-6: Considérations sur les liaisons pistes-soudures – Composants à sorties en «J» sur quatre côtés
- Partie 5-7: Considérations sur les liaisons pistes-soudures – Composants (DIP) à broches bilatérales

Le comité a décidé que le contenu de cette publication ne sera pas modifié avant 2004. A cette date, la publication sera

- reconduite;
- supprimée;
- remplacée par une édition révisée, ou
- amendée.

**iTeh STANDARD PREVIEW**  
**(standards.iteh.ai)**

[IEC 61188-5-2:2003](https://standards.iteh.ai/catalog/standards/sist/68feced3-add3-4e84-bdf7-9c827eb111a6/iec-61188-5-2-2003)

<https://standards.iteh.ai/catalog/standards/sist/68feced3-add3-4e84-bdf7-9c827eb111a6/iec-61188-5-2-2003>

---

<sup>1</sup> Actuellement, certaines de ces parties sont encore à publier.

This standard forms Part 5-2 of IEC 61188 which is published under the general title *Printed boards and printed board assemblies – Design and use*<sup>1</sup>:

- Part 5-1: Attachment (land/joint) considerations – Generic requirements
- Part 5-2: Attachment (land/joint) considerations – Discrete components
- Part 5-3: Attachment (land/joint) considerations – Gull-wing leads, two sides
- Part 5-4: Attachment (land/joint) considerations – J leads, two sides
- Part 5-5: Attachment (land/joint) considerations – Components with gull-wing leads, four sides
- Part 5-6: Attachment (land/joint) considerations – J leads, four sides
- Part 5-7: Attachment (land/joint) considerations – Post (DIP) leads, two sides

The committee has decided that the contents of this publication will remain unchanged until 2004. At this date, the publication will be

- reconfirmed;
- withdrawn;
- replaced by a revised edition, or
- amended.

## iTeh STANDARD PREVIEW (standards.iteh.ai)

[IEC 61188-5-2:2003](https://standards.iteh.ai/catalog/standards/sist/68feced3-add3-4e84-bdf7-9c827eb111a6/iec-61188-5-2-2003)

<https://standards.iteh.ai/catalog/standards/sist/68feced3-add3-4e84-bdf7-9c827eb111a6/iec-61188-5-2-2003>

---

<sup>1</sup> At the time of writing, some of these parts are still under consideration.

## INTRODUCTION

La présente partie de la CEI 61188 concerne les zones de report pour composants discrets tels que résistances chipses, condensateurs chipses, ainsi que différents types de diodes et transistors.

Les dimensions des zones de report proposées dans cette norme sont basées sur les calculs fondamentaux de tolérance associés aux zones de protubérance de soudure et aux excédents de surfaces (prescriptions génériques de la CEI 61188-5-1). Le surface inclut tout ce qui concerne les besoins normaux de fabrication.

Les dimensions des zones de report indiquées dans cette norme sont généralement applicables pour les processus de soudage par refusion. Pour les processus de soudage par immersion (par exemple, vague, jet, brasage à la traîne), les chipses peuvent avoir à être modifiées pour éviter le masquage et les courts-circuits, (par exemple, en agrandissant la longueur du chipse parallèlement à la direction du mouvement de la carte et/ou en fournissant des échantillons de soudure).

Cette norme présente un triple dimensionnement des zones de report (niveaux 1, 2 et 3) sur la base de trois types de zones de protubérances et d'excédents de surface maximal (max.) moyen (moy.) et minimal (min.). A chaque zone de report a été assigné un identificateur pour indiquer les caractéristiques de la robustesse spécifique des zones de report. Les utilisateurs ont également la possibilité d'organiser les informations de façon à ce qu'elles s'adaptent le mieux possible à leur utilisation spécifique.

Cette norme suppose que les dimensions des pastilles sont toujours plus grandes que celles des broches des composants ou que des contours des sorties. Si un utilisateur a des raisons valables d'utiliser de l'épargne de brasure pour limiter le mouillage sur un chipse ou d'utiliser des chipses plus petits que les sorties du composant, ou d'appliquer un concept différent de celui de la CEI 61188-5-1, cette norme ne peut pas être appliquée.

Il est de la responsabilité de l'utilisateur de vérifier les zones de report des composants pour montage en surface (CMS) utilisés pour mener à bien un processus de montage convenable comportant les essais et une fiabilité assurée pour l'utilisation en conditions perturbées du produit.

Les dimensions des composants énumérées dans cette norme sont celles disponibles sur le marché et sont seulement considérées comme référence.

## INTRODUCTION

This part of IEC 61188 covers land patterns for discrete components such as chip resistors, chip capacitors, and various diode and transistor types.

The proposed land pattern dimensions are based upon the fundamental tolerance calculation combined with the given land protrusions and courtyard excesses (see IEC 61188-5-1, Generic requirements). The courtyard includes all issues relating to normal manufacturing requirements.

The land pattern dimensions given in this standard are generally applicable for reflowed solder paste processes. For immersion soldering processes (e.g. wave, jet, drag soldering), lands may have to be modified to prevent shadowing and shorting (e.g. by extending land length parallel to the direction of motion of the board and/or provision of solder thieves).

This standard offers a threefold land pattern dimensioning (levels 1, 2 and 3) on the basis of a threefold set of land protrusions and courtyard excesses: maximum (max.), median (mdn) and minimum (min.). Each land pattern has been assigned an identification number to indicate the characteristics of the specific robustness of the land patterns. Users also have the opportunity to organize the information so that it is most useful for their particular design.

This standard assumes that land dimensions are always larger than component termination or lead outlines. If a user has good reason to use solder resist to limit wetting on a land, or to use lands smaller than component terminations or to apply a concept different from that of IEC 61188-5-1, then this standard may not apply.

It is the responsibility of the user to verify the SMD land patterns used for achieving an undisturbed mounting process, including testing, and an ensured reliability for the product stress conditions in use.

Dimensions of the components listed in this standard are those available on the market and are for reference only.