NORME INTERNATIONALE

INTERNATIONAL STANDARD

CEI
IEC
61964

Première édition
First edition

1999-04

Circuits intégrés – Configuration de broches de mémoires

Integrated circuits – Memory devices pin configurations

iTeh STANDARD PREVIEW
(standards.iteh.ai)
IEC 61964:1999
https://standards.iteh.ai/catalog/standards/sist/046ccbed-c7fb-416f-adbe-021d3b940dd4/iec-61964-1999

Numéro de référence
Reference number
CEI/IEC 61964:1999

Numéros des publications

Depuis le 1er janvier 1997, les publications de la CEI sont numérotées à partir de 60000.

Publications consolidées

Les versions consolidées de certaines publications de la CEI incorporant les amendements sont disponibles. Par exemple, les numéros d'édition 1.0, 1.1 et 1.2 indiquent respectivement la publication de base, la publication de base incorporant l'amendement 1, et la publication de base incorporant les amendements 1 et 2.

Validité de la présente publication

Le contenu technique des publications de la CEI est constamment revu par la CEI afin qu'il reflète l'état actuel de la technique.

Des renseignements relatifs à la date de reconfirmation de la publication sont disponibles dans le Catalogue de la CEI.

Les renseignements relatifs à des questions à l'étude et des travaux en cours entrepris par le comité technique qui a établi cette publication, ainsi que la liste des publications établies, se trouvent dans les documents ci-dessous:

- **«Site web» de la CEI***
- **Catalogue des publications de la CEI**
  Publié annuellement et mis à jour régulièrement (Catalogue en ligne)*
- **Bulletin de la CEI**
  Disponible à la fois au «site web» de la CEI* et comme périodique imprimé

Terminologie, symboles graphiques et littéraux

En ce qui concerne la terminologie générale, le lecteur se reportera à la CEI 60050: *Vocabulaire Electrotechnique International* (VEI).

Pour les symboles graphiques, les symboles littéraux et les signes d'usage général approuvés par la CEI, le lecteur consultera la CEI 60027: *Symboles littéraux à utiliser en électrotechnique,* la CEI 60417: S*ymboles graphiques utilisables sur le matériel. Index, relevé et compilation des feuilles individuelles,* et la CEI 60617: *Symboles graphiques pour schémas.*

* Voir adresse «site web» sur la page de titre.

Numbering

As from 1 January 1997 all IEC publications are issued with a designation in the 60000 series.

Consolidated publications

Consolidated versions of some IEC publications including amendments are available. For example, edition numbers 1.0, 1.1 and 1.2 refer, respectively, to the base publication, the base publication incorporating amendment 1 and the base publication incorporating amendments 1 and 2.

Validity of this publication

The technical content of IEC publications is kept under constant review by the IEC, thus ensuring that the content reflects current technology.

Information relating to the date of the reconfirmation of the publication is available in the IEC catalogue.

Information on the subjects under consideration and work in progress undertaken by the technical committee which has prepared this publication, as well as the list of publications issued, is to be found at the following IEC sources:

- **IEC web site***
- **Catalogue of IEC publications**
  Published yearly with regular updates (On-line catalogue)*
- **IEC Bulletin**
  Available both at the IEC web site* and as a printed periodical

Terminology, graphical and letter symbols

For general terminology, readers are referred to IEC 60050: *International Electrotechnical Vocabulary* (IEV).

For graphical symbols, and letter symbols and signs approved by the IEC for general use, readers are referred to publications IEC 60027: *Letter symbols to be used in electrical technology*, IEC 60417: *Graphical symbols for use on equipment. Index, survey and compilation of the single sheets* and IEC 60617: *Graphical symbols for diagrams.*

* See web site address on title page.

iTeh STANDARD PREVIEW
(standards.iteh.ai)
IEC 61964:1999
https://standards.iteh.ai/catalog/standards/sist/04ea5b0a-7b7e-416f-adbe-021d3b940dd4/iec-61964-1999

NORME INTERNATIONALE

INTERNATIONAL STANDARD

CEI
IEC
61964

Première édition
First edition

1999-04

Circuits intégrés – Configuration de broches de mémoires

Integrated circuits – Memory devices pin configurations

iTeh STANDARD PREVIEW
(standards.iteh.ai)
IEC 61964:1999
https://standards.iteh.ai/catalog/standards/sist/046ccbed-c7fb-416f-adbe-021d3b940dd4/iec-61964-1999

© IEC 1999 Droits de reproduction réservés — Copyright - all rights reserved

Aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'éditeur.

No part of this publication may be reproduced or utilized in any form or by any means, electronic or mechanical, including photocopying and microfilm, without permission in writing from the publisher.

International Electrotechnical Commission 3, rue de Varembé Geneva, Switzerland
Telefax: +41 22 919 0300 e-mail: inmail@iec.ch IEC web site http: //www.iec.ch

Commission Electrotechnique Internationale
International Electrotechnical Commission
Международная Электротехническая Комиссия

CODE PRIX
PRICE CODE R

Pour prix, voir catalogue en vigueur
For price, see current catalogue

SOMMAIRE

Pages

AVANT-PROPOS 4
INTRODUCTION 6

Articles

1 Domaine d'application 8
2 Références normatives 8
3 Termes et définitions 8
4 Catalogue de configurations de broche 20
4.1 Circuits intégrés mémoire dynamiques à écriture/lecture 20
4.2 Circuits intégrés mémoire dynamiques synchrones à écriture/lecture 22
4.3 Circuits intégrés mémoire statiques à lecture/écriture 22
4.4 Circuits intégrés mémoire à lecture seule 22
4.5 Circuits intégrés mémoire programmables 22
4.6 Circuits intégrés mémoire MOS effaçables par ultraviolet et programmables 22
4.7 Circuits intégrés mémoire effaçables électriquement et programmables 22
4.8 Modules mémoire composés de circuits intégrés mémoire 22

Annexe A (informative) Bibliographie 38

Tableau 1 – Organisation par mot de 4 bits pour DRAM 24
Tableau 2 – Organisation par octet pour DRAM 26
Tableau 3 – Organisation par mot pour DRAM (1) 28
Tableau 4 – Organisation par mot pour DRAM (2) 30
Tableau 5 – Organisation par mot de 4 bits pour SDRAM 32
Tableau 6 – Organisation par octet pour SDRAM 34
Tableau 7 – Organisation par mot pour SDRAM 36

iTeh STANDARD PREVIEW
(standards.iteh.ai)
IEC 61964:1999
https://standards.iteh.ai/catalog/standards/sist/046ccbed-c7fb-416f-adbe-021d3b940d44/iec-61964-1999

CONTENTS

Page

FOREWORD 5
INTRODUCTION 7

Clause

1 Scope 9
2 Normative references 9
3 Terms and definitions 9
4 Pin Configurations Catalogue 21
4.1 Integrated Circuit Dynamic Read/Write Memories 21
4.2 Integrated Circuit Synchronous Dynamic Read/Write Memories 23
4.3 Integrated Circuit Static Read/Write Memories 23
4.4 Integrated Circuit Read-Only Memories 23
4.5 Integrated Circuit Programmable Read-Only Memories 23
4.6 MOS Ultraviolet Light Erasable and Programmable Read-Only Memories 23
4.7 Integrated Circuit Electrically Erasable and Programmable Read-Only Memories ... 23
4.8 Memory Modules Comprising Integrated Circuit Memories 23

Annex A (informative) Bibliography 39

Table 1 – Nibble wide organization DRAM 25
Table 2 – Byte wide organization DRAM 27
Table 3 – Word wide organization DRAM (1) 29
Table 4 – Word wide organization DRAM (2) 31
Table 5 – Nibble wide organization SDRAM 33
Table 6 – Byte wide organization SDRAM 35
Table 7 – Word wide organization SDRAM 37

iTeh STANDARD PREVIEW
(standards.iteh.ai)
IEC 61964:1999
https://standards.iteh.ai/catalog/standards/sist/046ccbed-c7fb-416f-adbe-021d3b940dd4/iec-61964-1999

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

_____

CIRCUITS INTÉGRÉS – CONFIGURATION DE BROCHES DE MÉMOIRES

AVANT-PROPOS

1) La CEI (Commission Electrotechnique Internationale) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de la CEI). La CEI a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. A cet effet, la CEI, entre autres activités, publie des Normes internationales. Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec la CEI, participent également aux travaux. La CEI collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.

2) Les décisions ou accords officiels de la CEI concernant les questions techniques représentent, dans la mesure du possible un accord international sur les sujets étudiés, étant donné que les Comités nationaux intéressés sont représentés dans chaque comité d'études.

3) Les documents produits se présentent sous la forme de recommandations internationales. Ils sont publiés comme normes, rapports techniques ou guides et agréés comme tels par les Comités nationaux.

4) Dans le but d'encourager l'unification internationale, les Comités nationaux de la CEI s'engagent à appliquer de façon transparente, dans toute la mesure possible, les Normes internationales de la CEI dans leurs normes nationales et régionales. Toute divergence entre la norme de la CEI et la norme nationale ou régionale correspondante doit être indiquée en termes clairs dans cette dernière.

5) La CEI n'a fixé aucune procédure concernant le marquage comme indication d'approbation et sa responsabilité n'est pas engagée quand un matériel est déclaré conforme à l'une de ses normes.

6) L'attention est attirée sur le fait que certains des éléments de la présente Norme internationale peuvent faire l'objet de droits de propriété intellectuelle ou de droits analogues. La CEI ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de propriété et de ne pas avoir signalé leur existence.

iTeh STANDARD PREVIEW
(standards.iteh.ai)
IEC 61964:1999
https://standards.iteh.ai/catalog/standards/sist/046ccbed-c7fb-416f-adbe-021d3b940d44/iec-61964-1999

La Norme internationale CEI 61964 a été établie par le sous-comité 47A: Circuits intégrés, du comité d'études 47 de la CEI: Dispositifs à semiconducteurs.

Le texte de cette norme est issu des documents suivants:

FDIS	Rapport de vote
47A/535/FDIS	47A/549/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à l'approbation de cette norme.

L'annexe A est uniquement donnée à titre d'information.

INTERNATIONAL ELECTROTECHNICAL COMMISSION

INTEGRATED CIRCUITS – MEMORY DEVICES PIN CONFIGURATIONS

FOREWORD

1) The IEC (International Electrotechnical Commission) is a worldwide organization for standardization comprising all national electrotechnical committees (IEC National Committees). The object of the IEC is to promote international co-operation on all questions concerning standardization in the electrical and electronic fields. To this end and in addition to other activities, the IEC publishes International Standards. Their preparation is entrusted to technical committees; any IEC National Committee interested in the subject dealt with may participate in this preparatory work. International, governmental and non-governmental organizations liaising with the IEC also participate in this preparation. The IEC collaborates closely with the International Organization for Standardization (ISO) in accordance with conditions determined by agreement between the two organizations.

2) The formal decisions or agreements of the IEC on technical matters express, as nearly as possible, an international consensus of opinion on the relevant subjects since each technical committee has representation from all interested National Committees.

3) The documents produced have the form of recommendations for international use and are published in the form of standards, technical reports or guides and they are accepted by the National Committees in that sense.

iTeh STANDARD PREVIEW
(standards.iteh.ai)

4) In order to promote international unification, IEC National Committees undertake to apply IEC International Standards transparently to the maximum extent possible in their national and regional standards. Any divergence between the IEC Standard and the corresponding national or regional standard shall be clearly indicated in the latter.

IEC 61964:1999
https://standards.iteh.ai/catalog/standards/sist/6ccbed-c7fb-416f-adbe-021d3b940d4/iec-61964-1999

5) The IEC provides no marking procedure to indicate its approval and cannot be rendered responsible for any equipment declared to be in conformity with one of its standards.

6) Attention is drawn to the possibility that some of the elements of this International Standard may be the subject of patent rights. The IEC shall not be held responsible for identifying any or all such patent rights.

International Standard IEC 61964 has been prepared by subcommittee 47A: Integrated circuits, of IEC technical committee 47: Semiconductor devices.

The text of this standard is based on the following documents:

FDIS	Report on voting
47A/535/FDIS	47A/549/RVD

Full information on the voting for the approval of this standard can be found in the report on voting indicated in the above table.

Annex A is for information only.

INTRODUCTION

L'enregistrement et la normalisation des dessins mécaniques pour les circuits intégrés mémoire sont habituellement traités dans la série des CEI 60191.

Un même boîtier mécanique pouvant correspondre à différents types de circuits mémoire ou le même boîtier mémoire pouvant être mis dans différents types de boîtiers mécaniques, il est nécessaire de limiter le nombre de telles configurations au minimum requis par l'industrie électronique. L'enregistrement et la normalisation des configurations de brochages électriques aident aussi à établir et à maintenir la compatibilité entre différents fabricants et pour différentes applications.

En raison de la nature du marché des circuits intégrés mémoire, où de nouvelles générations de densité et de nouvelles fonctions électriques peuvent être introduites en permanence, la présente Norme internationale doit prendre une forme «ouverte». Dans ce contexte, cela signifie que de nouveaux éléments peuvent être ajoutés à tout moment dans un article. De nouveaux paragraphes peuvent être créés si de nouveaux types de boîtiers mémoires deviennent d'utilisation courante dans l'industrie.

Les adjonctions, suppressions et toute autre modification seront soumis à approbation avant toute nouvelle publication.

iTeh STANDARD PREVIEW
(standards.iteh.ai)

IEC 61964:1999
https://standards.iteh.ai/catalog/standards/sist/046ccbed-c7fb-416f-adbe-021d3b940dd4/iec-61964-1999

INTRODUCTION

The registration and standardization of the mechanical outlines for integrated memory circuit devices is an ongoing activity covered in the IEC 60191 series.

Due to the fact that the same mechanical package can house different types of memory devices, and because the same memory device can be incorporated into different types of mechanical packages, the number of such configurations has to be limited to minimum required by the electronics industry. Registration and standardization of such electrical pinout configurations also helps to establish and maintain compatibility of devices from different vendors and in different applications.

Owing to the nature of the integrated memory circuits business, in which there is ongoing potential for the development of new density generations and new electrical functions, this International Standard has to take the form of an open Standard. In the present context, this signifies that the new items can be added at any time to any of its clauses. New subclauses may be created as new types of memory devices come into usage in the industry.

Additions, deletions and any changes will be subject to agreement in order to become effective for publication.

iTeh STANDARD PREVIEW
(standards.iteh.ai)

IEC 61964:1999
https://standards.iteh.ai/catalog/standards/sist/046ccbed-c7fb-416f-adbe-021d3b940dd4/iec-61964-1999

CIRCUITS INTÉGRÉS – CONFIGURATION DE BROCHES DE MÉMOIRES

1 Domaine d'application

La présente Norme internationale est relative à la configuration des broches de boîtiers de circuits intégrés mémoire. Le but de cette norme est d'établir une procédure de recommandation pour le choix de telles configurations.

2 Références normatives

Les documents normatifs suivants contiennent des dispositions qui, par suite de la référence qui y est faite, constituent des dispositions valables pour la présente Norme internationale. Pour les références datées, les amendements ultérieurs ou les révisions de ces publications ne s'appliquent pas. Toutefois, les parties prenantes aux accords fondés sur la présente Norme internationale sont invitées à rechercher la possibilité d'appliquer les éditions les plus récentes des documents normatifs indiqués ci-après. Pour les références non datées, la dernière édition du document normatif en référence s'applique. Les membres de la CEI et de l'ISO possèdent le registre des Normes internationales en vigueur.

iTeh STANDARD PREVIEW
(standards.iteh.ai)

CEI 60191-2:1996, *Normalisation mécanique des dispositifs à semiconducteurs – Deuxième partie: Dimensions*

IEC 61964:1999
https://standards.iteh.ai/catalog/standards/sist/046ccbed-c7fb-416f-adbe-021d3b940dd4/iec-61964-1999

CEI 60748-1:1984, *Dispositifs à semiconducteurs – Circuits intégrés – Première partie: Généralités*

3 Termes et définitions

Pour les besoins de la présente Norme internationale, les termes et définitions suivants s'appliquent. Cet article contient les définitions de termes nécessaires à une bonne compréhension de la présente norme.

La plupart de ces termes ont été définis par l'industrie de la mémoire à semiconducteurs. Ils sont fournis comme référence rapide mais ne remplacent pas les définitions qui figurent dans d'autres normes de la CEI telles que la CEI 60748-1.

Les noms des broches ci-après et les descriptions fonctionnelles s'appliquent de façon égale à tous les composants couverts par cette norme. Quand une broche a une fonction double et que ces fonctions sont appelées à des instants très différents, les noms et symboles pour ces fonctions sont séparés par une barre oblique (/) (exemple V_{PP}/G\). Quand une broche a plusieurs fonctions qui sont utilisées simultanément, la barre oblique est omise (exemple DQ). Quand plusieurs broches ont une fonction identique, un numéro symbolisé par (n) est ajouté au symbole. Quand la fonction de la broche a un niveau logique inversé, c'est-à-dire que la fonction est vraie ou active pour un signal à l'état bas, la barre oblique inversée (\) est ajoutée au symbole. Quand des fonctions optionnelles sont autorisées par la norme, ces fonctions autorisées sont énumérées et séparées par des virgules. Quand l'usage courant entraîne l'emploi de deux termes pouvant être utilisés indifféremment, les deux sont indiqués, mais le terme le moins favorisé est mis entre parenthèses.

INTEGRATED CIRCUITS – MEMORY DEVICES PIN CONFIGURATIONS

1 Scope

This International Standard applies to pinout package configurations of solid state integrated circuit memory devices. The purpose of this standard is to establish a registration procedure for such configurations.

2 Normative references

The following normative documents contain provisions which, through reference in this text, constitute provisions of this International Standard. For dated references, subsequent amendments to, or revisions of, any of these publications do not apply. However, parties to agreements based on this International Standard are encouraged to investigate the possibility of applying the most recent editions of the normative documents indicated below. For undated references, the latest edition of the normative document referred to applies. Members of IEC and ISO maintain registers of currently valid International Standards.

iTeh STANDARD PREVIEW
(standards.iteh.ai)

IEC 60191-2:1996, *Mechanical standardization of semiconductor devices – Part 2: Dimensions*

IEC 60748-1:1984, *Semiconductor devices – Integrated circuits – Part 1: General*

IEC 61964:1999
https://standards.iteh.ai/catalog/standards/sist/046ccbed-c7fb-416f-adbe-021d3b940dd4/iec-61964-1999

3 Terms and definitions

For the purpose of this International Standard, the following terms and definitions apply. This contains definitions of a number of terms that are needed for a clear understanding of the standard.

Most of these terms have been developed within the semiconductor memory industry. They are given for quick reference and are not intended to supersede any existing definitions in previous IEC publications such as IEC 60748-1.

The following pin names and functional descriptions apply uniformly to all devices covered by this standard. Where a pin has a dual function, and those functions are invoked at substantially different times, the names and symbols for these functions are separated by a slash (/) (e.g. V_{PP}/G\). Where a pin has multiple functions which are used simultaneously, the slash is omitted (e.g. DQ). Where multiple pins have a similar function, a number symbolised as (n) is appended to the symbol. Where the pin function has an inverted logic sense, that is, the function is true or invoked for a low signal, the reverse slash (\) is appended to the symbol. Where alternative functions are permitted by this standard, these authorized functions are listed and separated by commas. Where common usage has resulted in two terms being used interchangeably, both are listed but the less favoured term is enclosed in parentheses.

3.1 Noms des broches du composant

3.1.1 A(n), ENTRÉES ADRESSE

Ces entrées sélectionnent (adressent) une cellule particulière ou un ensemble de cellules à l'intérieur d'une matrice mémoire pour la sauvegarde de données ou pour la présentation des données sauvegardées sur les sorties du circuit.

L'entier (n) sert à différencier les entrées adresse les unes des autres.

3.1.2 AL, AL\, VALIDATION DE VERROU D'ADRESSE

Une entrée qui, quand elle est vraie, autorise l'adresse présentée à être sauvegardée dans un registre et quand elle est fausse, permet à l'état adresse précédemment sauvegardé d'être verrouillé.

3.1.3 BA, ADRESSE DE BANC

Dans une mémoire vive qui a plusieurs bancs dans son architecture, l'ADRESSE DE BANC est utilisée, à n'importe quel moment, pour sélectionner l'un quelconque des bancs disponibles.

3.1.4 CA, ADRESSE COLONNE

Dans une adresse multiplexée de mémoire vive dynamique (DRAM), le champ adresse qui est capturé par le front CAS\ de la VALIDATION DE COLONNE.

iTeh STANDARD PREVIEW
(standards.iteh.ai)

3.1.5 CAS, CAS\ VALIDATION DE COLONNE

Un signal de validation qui active, sur quelques RAM dynamiques uniquement, les circuits internes agissant sur les colonnes et les circuits de données entrée/sortie. La plupart des circuits nécessitent qu'un signal RAS\ soit présent pour que le signal CAS\ soit pris en compte. Dans quelques conceptions plus récentes, cependant, des séquences spéciales des signaux RAS\ et CAS\ sont utilisées pour activer certaines fonctions spéciales de contrôle.

IEC 61964:1999
https://standards.iteh.ai/catalog/standards/sist/046ccbed-c7fb-416f-adbe-021d3b940dd4/iec-61964-1999

3.1.6 CK, CK\ ENTRÉE ET SORTIE HORLOGE

Une entrée qui contrôle l'activation des circuits à la fois d'entrée et de sortie, généralement des registres de sauvegarde ou des verrous.

3.1.7 CKE, VALIDATION D'HORLOGE

Dans certains circuits mémoires synchrones, une entrée nécessitant un niveau logique qui valide l'entrée horloge et lui permet de remplir complètement sa fonction.

3.1.8 D(n), ENTRÉE DE DONNÉES

Les entrées dont l'état représente la valeur des données que l'on doit écrire à l'adresse sélectionnée pendant un cycle d'écriture d'une mémoire volatile.

3.1.9 DQ(n), ENTRÉE/SORTIE DE DONNÉES

Les broches fournissant les données en sortie en mode lecture et les données en entrée en mode écriture. Quand le circuit n'est pas sélectionné ou validé, les sorties sont dans un état flottant.

3.1 Device pin names

3.1.1 A(n), ADDRESS INPUTS

Those inputs that select (address) a particular cell or set of cells within a memory array for storage of data or for presentation of the stored data on the device outputs.

The integer (n) serves to differentiate the address inputs one from another.

3.1.2 AL, AL\, ADDRESS LATCH ENABLE

An input that, when true, allows the input address to be entered into a register, and when false, causes the address state previously entered to be latched.

3.1.3 BA, BANK ADDRESS

In a RAM that has multiple banks in its architecture, the BANK ADDRESS is used, at any instant of time, to select any one of the available banks.

3.1.4 CA, COLUMN ADDRESS

In an address multiplexed DRAM (dynamic RAM), the address field that is captured by the COLUMN ENABLE clock CAS\.

3.1.5 CAS, CAS\, COLUMN ENABLE

iTeh STANDARD PREVIEW
(standards.iteh.ai)

An enable signal that on some dynamic RAMs actuates only the column-oriented internal circuits and the data input/output circuits. Most devices normally require the RAS\ signal to be present for the CAS\ signal to be effective. In some newer designs, however, special sequences of the RAS\ and CAS\ signals are used to actuate certain special device control functions.

IEC 61964:1999
https://standards.iteh.ai/catalog/standards/sist/046ccbed-c7fb-4101-adbe-021d3b940dd4/iec-61964-1999

3.1.6 CK, CK\, INPUT AND OUTPUT CLOCK

An input that controls the activation of both input and output circuitry, normally storage registers or latches.

3.1.7 CKE, CLOCK ENABLE

In certain synchronous memory devices, a logic level input that enables the clock input and allows it to fulfill its defined function.

3.1.8 D(n), DATA INPUT

Those inputs whose state represents the value of data that is to be written into the selected address on a write cycle of an alterable memory device.

3.1.9 DQ(n), DATA INPUT/OUTPUT

The pins that serve as data output(s) when in the read mode and as data input(s) when in the write mode. When the device is not selected or enabled, the output(s) are in a floating state.