

NORME INTERNATIONALE

**Dispositifs à semiconducteurs - Lignes directrices génériques concernant la qualification des semiconducteurs -
Partie 3: Lignes directrices pour les plans de qualification de la fiabilité des modules à semiconducteurs de puissance**

get full document from standards.iteh.ai



THIS PUBLICATION IS COPYRIGHT PROTECTED

Copyright © 2026 IEC, Geneva, Switzerland

Droits de reproduction réservés. Sauf indication contraire, aucune partie de cette publication ne peut être reproduite ni utilisée sous quelque forme que ce soit et par aucun procédé, électronique ou mécanique, y compris la photocopie et les microfilms, sans l'accord écrit de l'IEC ou du Comité national de l'IEC du pays du demandeur. Si vous avez des questions sur le copyright de l'IEC ou si vous désirez obtenir des droits supplémentaires sur cette publication, utilisez les coordonnées ci-après ou contactez le Comité national de l'IEC de votre pays de résidence.

IEC Secretariat
3, rue de Varembe
CH-1211 Geneva 20
Switzerland

Tel.: +41 22 919 02 11

info@iec.ch
www.iec.ch

A propos de l'IEC

La Commission Electrotechnique Internationale (IEC) est la première organisation mondiale qui élabore et publie des Normes internationales pour tout ce qui a trait à l'électricité, à l'électronique et aux technologies apparentées.

A propos des publications IEC

Le contenu technique des publications IEC est constamment revu. Veuillez vous assurer que vous possédez l'édition la plus récente, un corrigendum ou amendement peut avoir été publié.

Recherche de publications IEC -

webstore.iec.ch/advsearchform

La recherche avancée permet de trouver des publications IEC en utilisant différents critères (numéro de référence, texte, comité d'études, ...). Elle donne aussi des informations sur les projets et les publications remplacées ou retirées.

IEC Just Published - webstore.iec.ch/justpublished

Restez informé sur les nouvelles publications IEC. Just Published détaille les nouvelles publications parues. Disponible en ligne et une fois par mois par email.

Service Clients - webstore.iec.ch/csc

Si vous désirez nous donner des commentaires sur cette publication ou si vous avez des questions contactez-nous: sales@iec.ch.

IEC Products & Services Portal - products.iec.ch

Découvrez notre puissant moteur de recherche et consultez gratuitement tous les aperçus des publications, symboles graphiques et le glossaire. Avec un abonnement, vous aurez toujours accès à un contenu à jour adapté à vos besoins.

Electropedia - www.electropedia.org

Le premier dictionnaire d'électrotechnologie en ligne au monde, avec plus de 22 500 articles terminologiques en anglais et en français, ainsi que les termes équivalents dans 25 langues additionnelles. Egalement appelé Vocabulaire Electrotechnique International (IEV) en ligne.

Attention! Veuillez vous assurer que vous avez obtenu cette publication via un distributeur agréé.

SOMMAIRE

AVANT-PROPOS	3
INTRODUCTION	5
1 Domaine d'application	6
2 Références normatives.....	6
3 Termes et définitions.....	6
4 Catégories de produits et applications	7
4.1 Classe de qualité par application.....	7
4.2 Classes de qualité et conditions préalables (exemple).....	8
5 Défaillance.....	9
5.1 Distribution des défaillances	9
5.2 Période de défaillance précoce	10
5.2.1 Description.....	10
5.2.2 Taux de défaillance précoce.....	11
5.2.3 Dépistage (réduction des défaillances précoces).....	12
5.3 Période de défaillance aléatoire	12
5.3.1 Description.....	12
5.3.2 Taux de défaillance au cours de la période de défaillance aléatoire	12
5.4 Période de défaillance par usure	13
5.4.1 Description.....	13
5.4.2 Vérification de la défaillance par usure.....	13
6 Essai de fiabilité	16
6.1 Méthodes d'essai de fiabilité.....	16
6.2 Modèles d'accélération pour les essais de fiabilité	18
7 Méthodes d'essai sous contrainte.....	18
8 Tableau récapitulatif des hypothèses.....	20
9 Récapitulatif.....	21
Annexe A (informative) Dépistage des défauts d'oxyde de grille (méthode de mesure et de dépistage du TDDb de l'oxyde de grille)	23
A.1 Généralités	23
A.2 TDDb de l'oxyde de grille	23
A.2.1 TDDb	23
A.2.2 Mécanisme de claquage de l'oxyde de grille	23
A.2.3 Équation d'estimation de la durée de vie du TDDb	24
A.3 Méthode de mesure du TDDb et méthode d'estimation de la durée de vie	25
A.3.1 Généralités	25
A.3.2 Température ambiante, tension de contrainte, effectif d'échantillons et méthode d'essai.....	25
A.4 Dépistage en tension	27
A.4.1 Généralités	27
A.4.2 Distribution de la tension de claquage de l'oxyde de grille et dépistage	28
A.4.3 Technique de dépistage des transistors de puissance MOSFET.....	29
A.4.4 Comparaison entre le dépistage en tension et l'essai de déverminage.....	29
A.4.5 Méthode de calcul du taux de défaillance précoce associé au claquage de l'oxyde de grille	30
A.4.6 Exemple d'estimation de la durée de vie du TDDb en utilisant la méthode de contrainte par échelons de tension.....	32
Bibliographie.....	34

Figure 1 – Courbe en baignoire.....	10
Figure 2 – Procédé d'identification des défaillances sur les lots de fabrication de dispositifs à semiconducteurs de puissance au cours de la période de défaillance précoce	11
Figure 3 – Modèle conceptuel de la défaillance par usure.....	13
Figure 4 – Modèle conceptuel de l'essai accéléré de fiabilité	14
Figure A.1 – Mécanisme de claquage de l'oxyde de grille	24
Figure A.2 – Relation entre intensité du champ électrique et durée de vie	24
Figure A.3 – Relation entre le temps d'application de la contrainte et le temps avant claquage de l'oxyde de grille.....	25
Figure A.4 – Tracé du TDDB selon la loi de Weibull	26
Figure A.5 – Relation entre l'intensité du champ électrique $1/E$ et la durée de vie du claquage de l'oxyde de grille t_{BD}	27
Figure A.6 – Relation entre la durée de vie de l'oxyde de grille et le taux de défaillance	28
Figure A.7 – Relation entre la durée de vie de l'oxyde de grille et la probabilité de défaillance cumulée	28
Figure A.8 – Distribution de la tension de claquage de l'oxyde de grille.....	29
Figure A.9 – Schéma de principe du dépistage en tension de l'oxyde de grille des transistors de puissance MOSFET	29
Figure A.10 – Exemple de tracé de Weibull avant et après dépistage.....	30
Figure A.11 – Schéma de principe de l'essai en utilisant la méthode de contrainte par échelons de tension.....	33
Figure A.12 – Exemple d'évaluation du TDDB de dispositifs à semiconducteurs considérés comme étant acceptables lors du dépistage, en utilisant la méthode de contrainte par échelons de tension	33
Tableau 1 – Classes de qualité et conditions préalables	8
Tableau 2 – Méthodes et objet pour l'essai de durée de vie accéléré	17
Tableau 3 – Méthodes d'essai sous contrainte et objectif visé.....	19
Tableau 4 – Facteurs d'accélération, formules de calcul et valeurs numériques ^b	20
Tableau A.1 – Comparaison entre le dépistage en tension et l'essai de déverminage	30

COMMISSION ÉLECTROTECHNIQUE INTERNATIONALE

Dispositifs à semiconducteurs - Lignes directrices génériques concernant la qualification des semiconducteurs - Partie 3: Lignes directrices pour les plans de qualification de la fiabilité des modules à semiconducteurs de puissance

AVANT-PROPOS

- 1) La Commission Électrotechnique Internationale (IEC) est une organisation mondiale de normalisation composée de l'ensemble des comités électrotechniques nationaux (Comités nationaux de l'IEC). L'IEC a pour objet de favoriser la coopération internationale pour toutes les questions de normalisation dans les domaines de l'électricité et de l'électronique. À cet effet, l'IEC – entre autres activités – publie des Normes internationales, des Spécifications techniques, des Rapports techniques, des Spécifications accessibles au public (PAS) et des Guides (ci-après dénommés "Publication(s) de l'IEC"). Leur élaboration est confiée à des comités d'études, aux travaux desquels tout Comité national intéressé par le sujet traité peut participer. Les organisations internationales, gouvernementales et non gouvernementales, en liaison avec l'IEC, participent également aux travaux. L'IEC collabore étroitement avec l'Organisation Internationale de Normalisation (ISO), selon des conditions fixées par accord entre les deux organisations.
- 2) Les décisions ou accords officiels de l'IEC concernant les questions techniques représentent, dans la mesure du possible, un accord international sur les sujets étudiés, étant donné que les Comités nationaux de l'IEC intéressés sont représentés dans chaque comité d'études.
- 3) Les Publications de l'IEC se présentent sous la forme de recommandations internationales et sont agréées comme telles par les Comités nationaux de l'IEC. Tous les efforts raisonnables sont entrepris afin que l'IEC s'assure de l'exactitude du contenu technique de ses publications; l'IEC ne peut pas être tenue responsable de l'éventuelle mauvaise utilisation ou interprétation qui en est faite par un quelconque utilisateur final.
- 4) Dans le but d'encourager l'uniformité internationale, les Comités nationaux de l'IEC s'engagent, dans toute la mesure possible, à appliquer de façon transparente les Publications de l'IEC dans leurs publications nationales et régionales. Toutes divergences entre toutes Publications de l'IEC et toutes publications nationales ou régionales correspondantes doivent être indiquées en termes clairs dans ces dernières.
- 5) L'IEC elle-même ne fournit aucune attestation de conformité. Des organismes de certification indépendants fournissent des services d'évaluation de conformité et, dans certains secteurs, accèdent aux marques de conformité de l'IEC. L'IEC n'est responsable d'aucun des services effectués par les organismes de certification indépendants.
- 6) Tous les utilisateurs doivent s'assurer qu'ils sont en possession de la dernière édition de cette publication.
- 7) Aucune responsabilité ne doit être imputée à l'IEC, à ses administrateurs, employés, auxiliaires ou mandataires, y compris ses experts particuliers et les membres de ses comités d'études et des Comités nationaux de l'IEC, pour tout préjudice causé en cas de dommages corporels et matériels, ou de tout autre dommage de quelque nature que ce soit, directe ou indirecte, ou pour supporter les coûts (y compris les frais de justice) et les dépenses découlant de la publication ou de l'utilisation de cette Publication de l'IEC ou de toute autre Publication de l'IEC, ou au crédit qui lui est accordé.
- 8) L'attention est attirée sur les références normatives citées dans cette publication. L'utilisation de publications référencées est obligatoire pour une application correcte de la présente publication.
- 9) L'IEC attire l'attention sur le fait que la mise en application du présent document peut entraîner l'utilisation d'un ou de plusieurs brevets. L'IEC ne prend pas position quant à la preuve, à la validité et à l'applicabilité de tout droit de brevet revendiqué à cet égard. À la date de publication du présent document, l'IEC n'avait pas reçu notification qu'un ou plusieurs brevets pouvaient être nécessaires à sa mise en application. Toutefois, il y a lieu d'avertir les responsables de la mise en application du présent document que des informations plus récentes sont susceptibles de figurer dans la base de données de brevets, disponible à l'adresse <https://patents.iec.ch>. L'IEC ne saurait être tenue pour responsable de ne pas avoir identifié de tels droits de brevet.

L'IEC 63287-3 a été établie par le comité d'études 47 de l'IEC: Dispositifs à semiconducteurs.
Il s'agit d'une Norme internationale.

Le texte de cette Norme internationale est issu des documents suivants:

Projet	Rapport de vote
47/3015/FDIS	47/3026/RVD

Le rapport de vote indiqué dans le tableau ci-dessus donne toute information sur le vote ayant abouti à son approbation.

La langue employée pour l'élaboration de cette Norme internationale est l'anglais.

Ce document a été rédigé selon les Directives ISO/IEC, Partie 2, il a été développé selon les Directives ISO/IEC, Partie 1 et les Directives ISO/IEC, Supplément IEC, disponibles sous www.iec.ch/members_experts/refdocs. Les principaux types de documents développés par l'IEC sont décrits plus en détail sous www.iec.ch/publications.

Une liste de toutes les parties de la série IEC 63287, publiées sous le titre général *Dispositifs à semiconducteurs - Lignes directrices génériques concernant la qualification des semiconducteurs*, se trouve sur le site Web de l'IEC.

Le comité a décidé que le contenu de ce document ne sera pas modifié avant la date de stabilité indiquée sur le site web de l'IEC sous webstore.iec.ch dans les données relatives au document recherché. À cette date, le document sera

- reconduit,
- supprimé, ou
- révisé.

Sample Document

get full document from standards.iteh.ai

INTRODUCTION

Lors des essais de qualification, les fournisseurs de dispositifs à semiconducteurs préparent un plan d'essai de fiabilité spécifique, après consultation des utilisateurs de dispositifs à semiconducteurs, afin de réaliser efficacement l'essai de fiabilité.

Les présentes lignes directrices présentent des exemples de méthodes pour préparer des plans d'essai afin de déterminer les conditions d'essai de fiabilité appropriées, basées sur le niveau de qualité exigé dans les environnements de fonctionnement des différentes applications des modules à semiconducteurs de puissance. Des classes ont été spécifiées à titre d'objectif de fiabilité, concernant chacune des applications suivantes: automobile, industrie et électronique grand public. Sur la base du nombre d'heures de fonctionnement annuelles, de la période d'utilisation et d'autres paramètres pris pour hypothèse pour chaque classe, les présentes lignes directrices définissent les méthodes de vérification de la défaillance par usure, et proposent des essais de fiabilité appropriés. Les présentes lignes directrices définissent le concept d'assurance de la qualité, depuis la défaillance précoce jusqu'à la défaillance par usure. Elles présentent également des approches permettant d'assurer de manière appropriée la fiabilité des modules à semiconducteurs de puissance.

Les conditions d'essai et les valeurs du facteur d'accélération données dans les présentes lignes directrices ne sont que des exemples utilisés pour définir les conditions d'essai de fiabilité, afin de vérifier un niveau de qualité exigé.

NOTE Les essais de qualification sont des essais effectués par les fournisseurs des dispositifs à semiconducteurs de puissance, en tenant compte de la qualité exigée par les utilisateurs de leurs produits.

Sample Document

get full document from standards.iteh.ai

1 Domaine d'application

La présente partie de l'IEC 63287 spécifie des lignes directrices pour un plan de qualification de la fiabilité des modules à semiconducteurs de puissance, visant à définir des objectifs de fiabilité sur toute la durée de vie du produit.

Les modules à semiconducteurs de puissance avec circuits de commande incorporés ne relèvent pas du domaine d'application du présent document. Les boîtiers pressés qui nécessitent une pression externe pour être montés dans un système ne relèvent pas du domaine d'application du présent document, par exemple les dispositifs à compression en forme de disque.

Le présent document n'est pas destiné aux applications médicales, militaires, aéronautiques et astronautiques.

NOTE Tout au long du présent document, le terme module à semiconducteurs de puissance désigne les modules à semiconducteurs de puissance multipuces tels qu'ils sont définis en 3.3.

2 Références normatives

Les documents suivants sont cités dans le texte de sorte qu'ils constituent, pour tout ou partie de leur contenu, des exigences du présent document. Pour les références datées, seule l'édition citée s'applique. Pour les références non datées, la dernière édition du document de référence s'applique (y compris les éventuels amendements).

IEC 63287-1:2021, *Dispositifs à semiconducteurs - Lignes directrices génériques concernant la qualification des semiconducteurs - Partie 1: Lignes directrices concernant la qualification de la fiabilité des circuits intégrés*

3 Termes et définitions

Pour les besoins du présent document, les termes et définitions suivants s'appliquent.

L'ISO et l'IEC tiennent à jour des bases de données terminologiques destinées à être utilisées en normalisation, consultables aux adresses suivantes:

- IEC Electropedia: disponible à l'adresse <https://www.electropedia.org/>
- ISO Online browsing platform: disponible à l'adresse <https://www.iso.org/obp>

3.1

mode de défaillance

classification de la nature d'un phénomène de défaillance qui engendre la défaillance d'un produit

Note 1 à l'article: Une coupure de l'alimentation, un court-circuit, une perte occasionnelle, l'abrasion, la dégradation de caractéristiques, etc., sont des éléments types considérés comme des modes de défaillance.

3.2

mécanisme de défaillance

processus physique, chimique ou autre qui aboutit à un mode de défaillance, lequel entraîne la non-conformité d'un produit aux exigences fonctionnelles

3.3

module de puissance

module à semiconducteurs isolé ou non isolé, comportant au moins deux puces à semiconducteurs, conformément au code de modèle de structure de boîtier "MP" spécifié dans l'IEC 60191-4

Note 1 à l'article: Le matériau du corps du boîtier principalement utilisé est le plastique (incluant l'époxyde) conformément à l'IEC 60191-4 et les deux modes de réalisation, cadre et résine, sont possibles.

3.4

défaillance du mode A

défaillance précoce avec un taux de défaillance décroissant dû à des défauts extrinsèques

3.5

défaillance du mode B

défaillance aléatoire avec un taux de défaillance relativement constant

Note 1 à l'article: La fin du régime du mode B définit la limite de la période d'utilisation d'un module à semiconducteurs de puissance.

3.6

défaillance du mode C

défaillance par usure avec un taux de défaillance croissant, en raison de la limitation intrinsèque de la durée de vie

3.7

courbe en baignoire

tracé du taux de défaillance en fonction du temps ou des cycles, qui présente trois phases de la vie: mortalité infantile (taux de défaillance décroissant), période de défaillance aléatoire (taux de défaillance relativement constant) et usure intrinsèque (taux de défaillance croissant)

4 Catégories de produits et applications

4.1 Classe de qualité par application

Le niveau de qualité, les heures de fonctionnement et l'environnement de fonctionnement exigés pour les modules à semiconducteurs de puissance sur le marché varient selon l'application des produits pour lesquels les modules à semiconducteurs de puissance sont utilisés. À titre d'exemple de méthode d'élaboration de plans d'essai, les présentes lignes directrices ont regroupé les applications en trois grandes classes d'exigences, à savoir l'application automobile, l'application industrielle et l'application électronique grand public. Pour chaque classe, le niveau de qualité exigé et ses conditions préalables sont définis, comme indiqué dans le Tableau 1.

4.2 Classes de qualité et conditions préalables (exemple)

Tableau 1 – Classes de qualité et conditions préalables

Classe	I	II	III
Description de la classe	Application automobile	Application industrielle	Application électronique grand public
Exemple d'application	Groupes motopropulseurs, régulateur de tension continue, chargeur embarqué (OBC, On-Board Charger), direction assistée, etc.	Commandes de moteurs, convertisseurs de puissance, robots, machines-outils, chemins de fer, etc.	Climatiseurs, appareils électroménagers, etc.
Heures de fonctionnement annuelles	500 h (heures d'utilisation sur route) Le fonctionnement diffère selon que le dispositif est couplé ou non au contacteur d'allumage.	Jusqu'à 8 760 h; variable selon l'application.	Jusqu'à 8 760 h; variable selon l'application.
Période d'utilisation	15 ans (probabilité de défaillance cumulée: < 1 %)	Entre 10 ans et 20 ans (probabilité de défaillance cumulée: 1 %); variable selon l'application.	Entre 5 ans et 10 ans (probabilité de défaillance cumulée: 1 %); variable selon l'application.
Environnement de fonctionnement présumé (variable selon l'application)^a	Pour le compartiment moteur: $T_a = -40\text{ °C (min.)}/125\text{ °C (max.)}$ $T_j = 100\text{ °C (typ.)}/150\text{ °C (max.)}$ HR = 0 % (min.)/100 % (max.) HR typ. (10 % en utilisation sur route) (70 % à l'arrêt)	$T_a = -40\text{ °C (min.)}/100\text{ °C (max.)}$ $T_j = 70\text{ °C (typ.)}/125\text{ °C (max.)}$ HR = 10 % (min.)/80 % (max.) HR typ. (20 % à la mise sous tension) (60 % à la mise hors tension)	$T_a = 0\text{ °C (min.)}/70\text{ °C (max.)}$ $T_j = 70\text{ °C (typ.)}/105\text{ °C (max.)}$ HR = 10 % (min.)/80 % (max.) HR typ. (20 % à la mise sous tension) (60 % à la mise hors tension)
Taux de défaillance précoce	1 ppm ^b /an ou moins	50 ppm/an à 100 ppm/an, ou moins; variable selon l'application.	100 ppm/an ou moins; variable selon l'application.
Taux de défaillance au cours de la période de défaillance aléatoire	1 FIT (Failure In Time, intensité de défaillance) ou moins	50 FIT à 100 FIT, ou moins; variable selon l'application.	100 FIT ou moins; variable selon l'application.

NOTE Les valeurs indiquées dans le Tableau 1 ne sont que des valeurs indicatives. Dans le contexte professionnel réel, ces conditions sont fixées en fonction des exigences du marché et des clients.

^a En variante, il convient d'utiliser les valeurs limites correspondant aux classes climatiques indiquées dans la série IEC 60721, comme conditions climatiques limites pour un profil de mission (T_a , HR).

^b L'abréviation ppm désigne les parties par million.

5 Défaillance

5.1 Distribution des défaillances

La distribution des défaillances des modules à semiconducteurs de puissance a été divisée en trois grands domaines: les défaillances précoces, les défaillances aléatoires et les défaillances par usure. La Figure 1 représente la courbe en baignoire, qui donne la relation entre le temps d'utilisation sur le terrain et le taux de défaillance instantanée. Chacun des trois domaines est décrit en détail de 5.2 à 5.4.

Dans le cas des modules à semiconducteurs de puissance, la plupart des modules pouvant provoquer des défaillances précoces sont rejetés lors du processus de dépistage des fournisseurs de modules à semiconducteurs de puissance, par exemple lors de l'essai de déverminage. Cependant, le rejet de certains modules à semiconducteurs de puissance défectueux peut échouer, ce qui entraîne des défaillances relativement rapidement après le début de leur exploitation sur le marché. Dans les produits à semiconducteurs, il est connu que des défaillances du mode A, des défaillances du mode B et des défaillances du mode C peuvent se produire. Il est généralement établi qu'avec les modules à semiconducteurs de puissance, il y a plus de défaillances du mode B que de défaillances précoces (résultats de l'analyse des mécanismes de défaillance). Ceci est dû au fait que l'oxyde de grille des modules à semiconducteurs de puissance est plus épais que celui des circuits intégrés (CI) ou des dispositifs à intégration poussée (LSI, Large Scale Integration). Il existe des cas dans lesquels le taux de défaillance précoce et le taux de défaillance du mode B continuent à diminuer. Toutefois, lorsqu'il y a peu de défaillances précoces en raison d'un dépistage approprié avant expédition, et qu'il n'y a qu'un nombre limité de défaillances du mode B, les défaillances aléatoires deviennent les défaillances majoritaires au cours de la période de défaillance aléatoire. Dans ce cas, le paramètre de forme m de la loi de Weibull se rapproche souvent de 1.

Dans la réalité, il convient de considérer le taux de défaillance instantanée au cours de la période de défaillance aléatoire comme une concomitance:

- a) de défaillances précoces, dont le taux de défaillance instantanée diminue selon la théorie; et
- b) de défaillances aléatoires, dont le taux de défaillance instantanée se maintient à une valeur constante. En fonction de la proportion entre les défaillances précoces et les défaillances aléatoires, il est souvent constaté que le taux de défaillance instantanée au cours de la période de défaillance aléatoire continue de diminuer. Les défaillances aléatoires ont été attribuées non seulement à des facteurs internes, mais aussi à des facteurs externes tels que les décharges électrostatiques (DES) et la surcharge électrique (EOS, Electrical OverStress).

La période de défaillance par usure a été définie comme la période au cours de laquelle les défaillances sont causées par l'arrivée en fin de vie des éléments de câblage filaire, des connexions brasées et des éléments similaires des modules à semiconducteurs de puissance et des autres pièces qui constituent un module de puissance. Les autres causes des défaillances par usure incluent l'arrivée en fin de vie des cellules, des interconnexions, etc. qui constituent un dispositif à semiconducteurs tel qu'un transistor de puissance à effet de champ à grille métal-oxyde (MOSFET, Metal Oxyde Semiconductor Field Effect Transistor) ou un transistor bipolaire à grille isolée (IGBT, Insulated Gate Bipolar Transistor). En d'autres termes, la période de défaillance par usure est une période au cours de laquelle l'arrivée en fin de vie des modules de puissance à proprement parler est observée. Le nombre de défaillances augmente au fil du temps, et au final, tous les modules à semiconducteurs de puissance subissent une défaillance. Pour les défaillances par usure, il n'existe aucun concept permettant de fixer des limites supérieures ou des critères pour le taux de défaillance. Il est important de concevoir les modules à semiconducteurs de puissance de manière à éviter que des défaillances par usure surviennent au cours de leur période d'utilisation. En général, le critère pour déterminer la durée de vie d'un module à semiconducteurs de puissance est la période allant jusqu'au début de la défaillance par usure, jusqu'à ce que la probabilité de défaillance cumulée augmente.

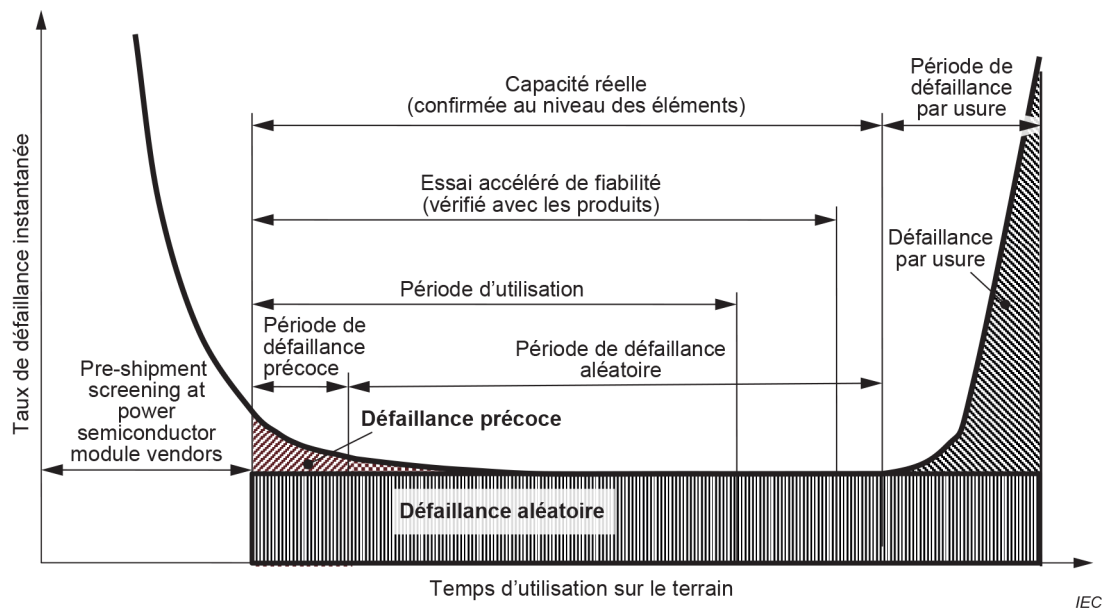


Figure 1 – Courbe en baignoire

5.2 Période de défaillance précoce

5.2.1 Description

Les modules à semiconducteurs de puissance sont sensibles aux défauts issus de leur processus de fabrication, en raison de leur degré élevé d'intégration et de complexité. Le rapport de ces modules à semiconducteurs de puissance établis comme étant conformes à leurs spécifications est désigné sous le concept de "taux de conformité". Lors du tri, tous les paramètres possibles relatifs aux exigences caractéristiques et fonctionnelles sont mesurés, afin de retenir les dispositifs à semiconducteurs conformes. Cependant, même s'ils fonctionnent normalement lors du processus de tri, certains des dispositifs à semiconducteurs retenus comme étant conformes peuvent présenter des défauts cachés mineurs, n'ayant aucun effet électrique (défaillances latentes). Lorsqu'un taux de conformité élevé est obtenu, il est moins probable que des modules à semiconducteurs de puissance présentant des défaillances latentes aient été mélangés à des dispositifs à semiconducteurs conformes.

Lorsqu'une petite quantité de modules à semiconducteurs de puissance conformes mais présentant des défaillances latentes est incluse dans un lot de fabrication, le taux de défaillance diminue au fil du temps. Cela est dû au fait que les dispositifs à semiconducteurs exempts de défauts, et avec une faible probabilité de défaillance, restent dans le lot même après que les modules à semiconducteurs de puissance présentant des défaillances latentes ont subi une défaillance, et qu'ils ont été retirés. Dans ce cas, le paramètre de forme m de la loi de Weibull, en présumant que la loi de Weibull s'applique, est inférieur à 1 ($m < 1$).

Pour être plus précis, comme représenté à la Figure 2, lorsqu'un lot de fabrication comporte une petite quantité de modules à semiconducteurs de puissance conformes mais présentant des défaillances latentes, l'équipement électronique utilisant ces modules devient défectueux en cours de fonctionnement, pendant la période de défaillance précoce. Par conséquent, les dispositifs à semiconducteurs endommagés sont retirés lors de la réparation de l'équipement électronique (remplacement de pièces). Il reste au final des modules à semiconducteurs de puissance à haute fiabilité.